

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Yuji SANO, et al.

Application No.:

Group Art Unit:

Filed: September 2, 2003

Examiner:

For: CAPACITIVE LOAD DRIVE RECOVERY CIRCUIT, CAPACTIVE LOAD DRIVE  
CIRCUIT AND PLASMA DISPLAY APPARATUS USING THE SAME

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)  
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-346165

Filed: November 28, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing  
date(s) as evidenced by the certified papers attached hereto, in accordance with the  
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: September 2, 2003

By: 

Randall Beckers  
Registration No. 30,358

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月28日

出 願 番 号

Application Number:

特願2002-346165

[ ST.10/C ]:

[ JP 2002-346165 ]

出 願 人

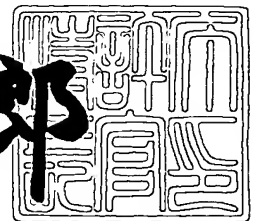
Applicant(s):

富士通日立プラズマディスプレイ株式会社

2003年 5月23日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3037864

【書類名】 特許願

【整理番号】 0200159

【提出日】 平成14年11月28日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G09G 3/20

【発明の名称】 容量性負荷駆動回収回路、容量性負荷駆動回路及びそれを用いたプラズマディスプレイ装置

【請求項の数】 19

【発明者】

    【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立プラズマディスプレイ株式会社内

    【氏名】 佐野 勇司

【発明者】

    【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立プラズマディスプレイ株式会社内

    【氏名】 河田 外与志

【特許出願人】

    【識別番号】 599132708

    【氏名又は名称】 富士通日立プラズマディスプレイ株式会社

【代理人】

    【識別番号】 100077517

    【弁理士】

    【氏名又は名称】 石田 敬

    【電話番号】 03-5470-1900

【選任した代理人】

    【識別番号】 100092624

    【弁理士】

    【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0003411

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量性負荷駆動回収回路、容量性負荷駆動回路及びそれを用いたプラズマディスプレイ装置

【特許請求の範囲】

【請求項 1】 容量性負荷に接続される出力端子と第 1 の基準電位の間に接続された 1 次コイルと、前記出力端子と第 2 の基準電位の間に接続された 2 次コイルとを有するトランスと、

前記 1 次コイルと直列に接続された第 1 のスイッチ回路と、

前記 2 次コイルと直列に接続された第 2 のスイッチ回路と、

前記出力端子と駆動電源の間に接続された電源スイッチ回路とを備えることを特徴とする容量性負荷駆動回収回路。

【請求項 2】 前記出力端子と前記第 1 の基準電位の間に接続された第 3 のスイッチ回路を更に備える請求項 1 に記載の容量性負荷駆動回収回路。

【請求項 3】 前記 1 次コイルと前記第 1 のスイッチの接続点と第 5 の基準電位の間に接続された第 4 のスイッチ回路を備える請求項 1 に記載の容量性負荷駆動回収回路。

【請求項 4】 前記電源スイッチ回路が接続される経路に接続されたインピーダンス回路を更に備える請求項 1 に記載の容量性負荷駆動回収回路。

【請求項 5】 容量性負荷に接続される出力端子と第 1 の基準電位の間に直列に接続された第 1 のスイッチ回路、コイル及び第 2 のスイッチ回路と、

前記第 1 のスイッチ回路と前記コイルの接続点と前記第 1 の基準電位の間に接続された第 3 のスイッチ回路と、

前記コイルと前記第 2 のスイッチ回路の接続点と前記出力端子の間に接続された第 4 のスイッチ回路と、

前記出力端子と駆動電源の間に接続された電源スイッチ回路とを備えることを特徴とする容量性負荷駆動回収回路。

【請求項 6】 前記電源スイッチ回路が接続される経路に接続されたインピーダンス回路を更に備える請求項 5 に記載の容量性負荷駆動回収回路。

【請求項 7】 複数の容量性負荷と、

第 1 の駆動電源と、

第 2 の駆動電源と、

前記第 1 の駆動電源と前記第 2 の駆動電源の間に直列に接続され、前記複数の容量性負荷をそれぞれ駆動し、接続点が前記容量性負荷に接続された複数の第 1 及び第 2 の駆動素子の組みと、を備え、

前記第 1 と第 2 の駆動電源の一方が、請求項 1 から 6 のいずれか 1 項に記載された容量性負荷駆動回収回路であることを特徴とする容量性負荷駆動回路。

【請求項 8】 前記第 1 と第 2 の駆動電源の一方として使用される前記容量性負荷駆動回収回路の前記電源スイッチ回路が接続される経路に設けられ、前記駆動電源から流れる電流を検出する電流検出回路と、

前記電流検出回路の検出結果に応じて前記容量性負荷駆動回収回路の各スイッチ回路を制御する制御回路とを備える請求項 7 に記載の容量性負荷駆動回路。

【請求項 9】 前記複数の容量性負荷のそれぞれの駆動状態の変化情報から駆動回路の消費電力予想値を演算し、演算した前記消費電力予想値に応じて前記容量性負荷駆動回収回路の各スイッチ回路を制御する制御回路とを備える請求項 7 に記載の容量性負荷駆動回路。

【請求項 10】 当該容量性負荷駆動回路の一部の温度を検出する温度検出回路を備え、前記温度検出回路の検出した温度に応じて前記容量性負荷駆動回収回路の各スイッチ回路を制御する制御回路とを備える請求項 7 に記載の容量性負荷駆動回路。

【請求項 11】 第 1 の方向に伸びる複数の走査電極と、前記走査電極と交差するように配置された複数のアドレス電極とを有するプラズマディスプレイパネルと、前記複数の走査電極を駆動する走査電極駆動回路と、前記複数のアドレス電極を駆動するアドレス電極駆動回路とを備えるプラズマディスプレイ装置であって、

前記アドレス電極駆動回路の電源は、請求項 1 から 6 のいずれか 1 項に記載された容量性負荷駆動回収回路であることを特徴とするプラズマディスプレイ装置

。

【請求項 12】 複数の容量性負荷と、

第 1 の駆動電源と、

第 2 の駆動電源と、

前記第 1 の駆動電源と前記第 2 の駆動電源の間に直列に接続され、接続点が前記複数の容量性負荷にそれぞれ接続された複数組みの第 1 及び第 2 の駆動素子を有する駆動回路と、を備え、

前記第 1 と第 2 の駆動電源の一方が、無効電力回収回路を備える電力回収電源であり、

前記電力回収電源は、前記駆動回路での消費電力を検出する電力検出回路と、

前記電力検出回路の検出結果に応じて前記無効電力回収回路の動作を制御する制御回路とを備えることを特徴とする容量性負荷駆動回路。

【請求項 1 3】 2 つの駆動端子を有する容量性負荷と、

第 1 の駆動電源と、

第 2 の駆動電源と、

前記容量性負荷の 2 つの端子間に直列に接続された第 1 のスイッチ回路、コイル及び第 2 のスイッチ回路と、

前記容量性負荷の一方の端子と前記第 1 の駆動電源の一方の端子間に接続された第 3 のスイッチ回路と、

前記容量性負荷の一方の端子と前記第 1 の駆動電源の他方の端子間に接続された第 4 のスイッチ回路と、

前記第 1 のスイッチと前記コイルの接続点と、前記第 1 の駆動電源の他方の端子間に接続された第 5 のスイッチ回路と、

前記容量性負荷の他方の端子と前記第 2 の駆動電源の一方の端子間に接続された第 6 のスイッチ回路と、

前記容量性負荷の他方の端子と前記第 2 の駆動電源の他方の端子間に接続された第 7 のスイッチ回路と、

前記第 2 のスイッチと前記コイルの接続点と、前記第 2 の駆動電源の他方の端子間に接続された第 8 のスイッチ回路と、を備えることを特徴とする容量性負荷駆動回路。

【請求項 1 4】 2 つの駆動端子を有する容量性負荷と、

第 1 の駆動電源と、

第 2 の駆動電源と、

前記容量性負荷の一方の端子と前記第 1 の駆動電源の一方の端子間に接続された第 1 のスイッチ回路と、

前記容量性負荷の一方の端子と前記第 1 の駆動電源の他方の端子間に接続された第 2 のスイッチ回路と、

前記容量性負荷の一方の端子と前記第 1 の駆動電源の他方の端子間に直列に接続されたトランスの一方のコイル及び第 3 のスイッチ回路と、

前記第 1 の駆動電源の 2 つの端子を選択的に第 1 の基準電位に接続する第 4 のスイッチ回路と、

前記第 2 のスイッチ回路に並列に接続された第 5 のスイッチ回路と、

前記第 3 のスイッチ回路に並列に接続された第 6 のスイッチ回路と、

前記容量性負荷の他方の端子と前記第 2 の駆動電源の一方の端子間に接続された第 7 のスイッチ回路と、

前記容量性負荷の他方の端子と前記第 2 の駆動電源の他方の端子間に接続された第 8 のスイッチ回路と、

前記容量性負荷の他方の端子と前記第 2 の駆動電源の他方の端子間に直列に接続されたトランスの他方のコイル及び第 9 のスイッチ回路と、

前記第 2 の駆動電源の 2 つの端子を選択的に第 1 の基準電位に接続する第 1 0 のスイッチ回路と、

前記第 8 のスイッチ回路に並列に接続された第 1 1 のスイッチ回路と、

前記第 9 のスイッチ回路に並列に接続された第 1 2 のスイッチ回路と、を備えることを特徴とする容量性負荷駆動回路。

【請求項 1 5】 交互に配置され、第 1 の方向に伸びる複数の第 1 及び第 2 の電極と、前記第 1 及び第 2 の電極と交差するように配置された複数のアドレス電極とを有するプラズマディスプレイパネルと、前記複数の第 1 の電極を駆動する第 1 電極駆動回路と、前記複数の第 2 の電極を駆動する第 2 電極駆動回路と、前記複数のアドレス電極を駆動するアドレス電極駆動回路とを備え、

前記第 2 電極駆動回路は、前記複数の第 2 の電極に順次走査パルスを印加する



走査回路と、前記走査回路を介して前記複数の第 2 の電極に同時にサステインパルス印加する共通駆動回路とを備え、

前記第 1 電極駆動回路と前記共通駆動回路は、前記複数の第 1 及び第 2 の電極に交互に前記サステインパルス印加するプラズマディスプレイ装置であって、

前記第 1 電極駆動回路と前記共通駆動回路は、請求項 1 3 又は 1 4 に記載された容量性負荷駆動回路であることを特徴とするプラズマディスプレイ装置。

【請求項 1 6】 少なくとも容量性負荷を構成する一対の電極を備え、前記一対の電極の間にて放電を生じせしめるプラズマディスプレイパネルと、前記一対の電極の少なくとも一方に接続されて、前記容量性負荷を駆動する容量性負荷駆動回路とを有するプラズマディスプレイ装置であって、

前記容量性負荷駆動回路は、前記一方の電極に接続される出力端子と基準電位との間に接続されたコイル回路を有してなり、

前記容量性負荷に蓄えられたエネルギーを放電するに際し、前記コイル回路に流れる電流が増大する間、前記エネルギーを前記コイル回路に蓄積すると共に、前記エネルギーを前記コイル回路にて維持し、

前記容量性負荷を再度充電する際には、前記コイル回路に流れる電流が減少する間、前記蓄積されたエネルギーを放出するように制御することを特徴とするプラズマディスプレイ装置。

【請求項 1 7】 前記容量性負荷の放電後、再度充電するまでの間、前記容量性負荷を放電状態に維持するためのスイッチ回路と、前記容量性負荷の充電後、再度放電するまでの間、前記容量性負荷を充電状態に維持するための電源スイッチ回路を有することを特徴とする請求項 1 6 に記載のプラズマディスプレイ装置。

【請求項 1 8】 前記電源スイッチ回路は、前記容量性負荷の充電が完了する前に導通状態となるよう制御されることを特徴とする請求項 1 7 に記載のプラズマディスプレイ装置。

【請求項 1 9】 複数の走査電極と、前記走査電極と交差するように配置された複数のアドレス電極とを有するプラズマディスプレイパネルと、前記複数の走査電極を駆動する走査電極駆動回路と、前記複数のアドレス電極を駆動するア

ドレス電極駆動回路とを備えるプラズマディスプレイ装置であって、

前記アドレス電極駆動回路は、前記アドレス電極に接続される出力端子と基準電位との間に接続されたコイル回路を有してなり、

前記アドレス電極と前記走査電極からなる容量性負荷に蓄えられたエネルギーを放電するに際し、前記コイル回路に流れる電流が増大する間、前記エネルギーを前記コイル回路に蓄積すると共に、前記エネルギーを前記コイル回路にて維持し、

前記容量性負荷を再度充電する際には、前記コイル回路に流れる電流が減少する間、前記蓄積されたエネルギーを放出するように制御することを特徴とするプラズマディスプレイ装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、容量性負荷の駆動回路に関し、特に、容量性負荷となるプラズマディスプレイパネルやエレクトロルミネッセンス、液晶ディスプレイ（LCD）などのディスプレイパネルを高速に駆動する際にも消費電力を削減できる回路構成とその駆動回路を適用した表示装置に関する。

##### 【0002】

#### 【従来技術】

本発明は、容量性負荷となるディスプレイパネルであればどのようなものにも適用可能であるが、以下の説明ではプラズマディスプレイ（PDP）装置を例として説明を行う。

##### 【0003】

図1は三電極面放電交流駆動型プラズマディスプレイパネルを概略的に示すブロック図であり、図2は図1に示すプラズマディスプレイパネルの電極構造を説明するための断面図である。図1および図2において、参照符号207は放電セル（表示セル）、210は背面ガラス基板、211、221は誘電体層、212は蛍光体、213は隔壁、214はアドレス電極（A1～Ad）、220は前面ガラス基板、そして、222は第1の電極（X電極：X1～XL）または第2の電極（Y電極：Y1～YL）を示している。なお、参照符号Caはアドレス電極

における隣接電極間の容量を示し、また、 $C_g$  はアドレス電極における対向電極（X電極およびY電極）間の容量を示している。

#### 【0004】

プラズマディスプレイパネル201は、背面ガラス基板210および前面ガラス基板220の2枚のガラス基板により構成され、前面ガラス基板220には、維持電極（BUS電極と透明電極を含む）として構成されるX電極（X1, X2, …, XL）およびY電極（走査電極：Y1, Y2, …, YL）が配設されている。

#### 【0005】

背面ガラス基板210には、維持電極（X電極およびY電極）222と直交するようにアドレス電極（A1, A2, …, Ad）214が配置されており、これらの電極により放電発光を発生する表示セル207が、維持電極の同じ番号のX電極及びY電極で挟まれ（Y1-X1, Y2-X2, …）、且つ、アドレス電極と交差する領域にそれぞれ形成される。

#### 【0006】

図3は図1に示すプラズマディスプレイパネルを用いたプラズマディスプレイ（PDP）装置の全体構成を示すブロック図であり、表示パネルに対する駆動回路の主要部を示している。

#### 【0007】

図3に示されるように、三電極面放電交流駆動型プラズマディスプレイ装置は、表示パネル201と、外部より入力されるインターフェイス信号により表示パネルの駆動回路を制御するための制御信号を形成する制御回路205と、この制御回路205からの制御信号によりパネル電極を駆動するためのX共通ドライバ（X電極駆動回路）206と、走査電極駆動回路（走査ドライバ）203およびY共通ドライバ204と、アドレス電極駆動回路（アドレスドライバ）202とにより構成される。

#### 【0008】

X共通ドライバ206は維持放電（サステイン）パルスを発生し、また、Y共通ドライバ204も同じくサステインパルスを発生し、そして、走査ドライバ203は各走査電極（Y1～YL）に順次走査パルスを印加するように駆動する。

また、アドレスドライバ 2 0 2 は、各アドレス電極（A 1 ～ A d）に対して表示データに対応したアドレス電圧パルス印加する。

#### 【 0 0 0 9 】

制御回路 2 0 5 は、クロック C L K および表示データ D A T A を受け取ってアドレスドライバ 2 0 2 にアドレス制御信号を供給する表示データ制御部 2 5 1、および、垂直同期信号 V sync および水平同期信号 H sync を受け取って、走査ドライバを制御する走査ドライバ制御部 2 5 3 並びに共通ドライバ（X 共通ドライバ 2 0 6 および Y 共通ドライバ 2 0 4）を制御する共通ドライバ制御部 2 5 4 を備えている。なお、表示データ制御部 2 5 1 は、フレームメモリ 2 5 2 を備えている。

#### 【 0 0 1 0 】

図 4 は図 3 に示す P D P 装置の駆動波形の一例を示す図であり、主として、全面書き込み期間（全面 W）、全面消去期間（全面 E）、アドレス期間（A D D）およびサステイン期間（維持放電期間：S U S）における各電極への印加電圧波形の概略を示している。

#### 【 0 0 1 1 】

図 4 において、画像表示に直接係わる駆動期間は、アドレス期間 A D D とサステイン期間 S U S であり、アドレス期間 A D D において表示する画素を選択し、次のサステイン期間において選択された画素を維持発光させることで、所定の明るさでの画像表示を行うようになっている。なお、図 4 は、1 フレームを複数のサブフレーム（サブフィールド）で構成した場合の各サブフレームにおける駆動波形を示すものである。

#### 【 0 0 1 2 】

まず、アドレス期間において、走査電極である Y 電極（Y 1 ～ Y L）に対して一斉に中間電位である  $-V_{my}$  を印加した後、順次、 $-V_y$  レベルの走査電圧パルスを切り換えて印加する。このとき、それぞれの Y 電極への走査パルスの印加に同期させて各アドレス電極（A 1 ～ A d）に対して  $+V_a$  レベルのアドレス電圧パルス印加することで各走査ライン上の画素選択を行う。

#### 【 0 0 1 3 】

次のサステイン期間においては、全ての走査電極（Y 1～Y L）およびX電極（X 1～X L）に対して共通の+V<sub>s</sub>レベルの維持放電（サステイン）パルスを交互に印加することで、先に選択された画素に対して維持放電を生じさせ、この連続印加により所定の輝度による表示を行う。また、このような一連の駆動波形の基本動作を組み合わせて発光回数を制御することで、濃淡の階調表示を行うことも可能になる。

## 【 0 0 1 4 】

ここで、全面書込み期間A Wは、パネルの全ての表示セルに対して書き込み電圧パルスを印加することで、各表示セルを活性化し表示特性を均一に保つためのものであり、ある一定の周期で挿入される。また、全面消去期間A Eは、画像表示を行うためのアドレス動作とサステイン動作を新たに開始する前に、パネルの全ての表示セルに消去電圧パルスを印加することで、以前の表示内容を消しておくためのものである。

## 【 0 0 1 5 】

サステインパルスは、すべてのX電極とY電極に交互に印加され、アドレスパルスは点灯又は非点灯のセルに対応する電極に選択的に印加される。アドレスパルスは、走査パルスと同じ周期であり、サステインパルスに比べて周期が短くなっている。

## 【 0 0 1 6 】

図5は図3に示すPDP装置に使用するICの一例を示すブロック回路図である。

## 【 0 0 1 7 】

例えば、表示パネルのアドレス電極（A 1～A d）の数が3 0 7 2本の場合、アドレス電極に接続するドライブICを1 2 8ビット出力とすると、合計で2 4個のドライブICを使用する。一般的に、この2 4個のドライブICは複数のモジュールに分けて実装され、各モジュールが複数のICを搭載している。

## 【 0 0 1 8 】

図5は、1 2 8ビット分の出力回路（2 3 4 : O U T 1～O U T 1 2 8）を備えたドライブICチップの内部回路構成を示している。各出力回路2 3 4は、最

終出力段のプッシュプル型 F E T 2 3 4 1 および 2 3 4 2 を挟んで高圧電源配線  $V_H$  とグランド配線 G N D が接続されて構成される。このドライブ I C 2 3 0 は、さらに、両 F E T を制御するためのロジック回路 2 3 3、1 2 8 ビットの出力回路を選択するためのシフトレジスタ回路 2 3 1、および、ラッチ回路 2 3 2 を備える。

## 【 0 0 1 9 】

これら制御用の信号は、シフトレジスタ 2 3 1 のクロック信号 C L O C K、データ信号 D A T A 1 ~ D A T A 4 およびラッチ回路 2 3 2 のラッチ信号 L A T C H と、ゲート回路制御用のストロブ信号 S T B で構成されている。図 5 においては、最終出力段が C M O S 構成（2 3 4 1、2 3 4 2）になっているが、同一極性の M O S F E T から成るトータンプール構成も適用することができる。

## 【 0 0 2 0 】

次に、上記のドライブ I C チップに対する実装方法の例を説明する。例えば、ドライブ I C チップをリジットプリント基板上に搭載し、ドライブ I C チップの電源、信号および出力用パッド端子とプリント基板上の相対応する端子とをワイヤボンディング接続して結線する。

## 【 0 0 2 1 】

I C チップからの出力配線はプリント基板の端面側に引き出して出力端子が設けられ、同様の端子が設けられたフレキシブル基板と熱圧着接続して一つのモジュールを形成する。このフレキシブル基板の先端には、パネル表示電極と接続するための端子が設けられており、パネル表示電極に対し熱圧着等の手法により接続して使用する。

## 【 0 0 2 2 】

ディスプレイ、特に P D P 装置では、消費電力が小さいことが重要であり、各種の低消費電力化技術が提案されている。上記の各電極の駆動端子は、パネル端部のダミー電極を除いて全て回路グランドから直流的には絶縁されており、駆動回路の負荷としては容量性インピーダンスが支配的になる。このような容量性負荷のパルス駆動回路の低消費電力化技術としては、共振現象による負荷容量とインダクタンスとの間のエネルギーの受け渡しを応用した電力回収回路が知られて

いる。

【 0 0 2 3 】

米国特許第 4, 7 0 7, 6 9 2 号は、エレクトロルミネッセント表示装置で、容量性負荷と共振回路を構成するインダクタンス素子を設け、共振周期の  $1/4$  周期でスイッチをオン・オフ制御することにより、キャパシタに蓄積したエネルギーを再び容量性負荷に印加する電力回収回路を開示している。エネルギーはキャパシタ 3 1 5 と負荷 3 1 0 / 3 1 2 の間で移動される。充電の時、キャパシタのエネルギーがインダクタに蓄積され、その半分が負荷を充電し、残りの半分はキャパシタ 3 1 5 に戻る。放電時は、負荷のエネルギーはインダクタに一旦蓄積された後、キャパシタ 3 1 5 に返送される。

【 0 0 2 4 】

また、米国特許第 5, 0 8 1, 4 0 0 号及び 5, 8 2 8, 3 5 3 号は、PDP 装置においてサステインパルスを印加する際にサステインパルスの  $1/2$  周期でスイッチングされる電力回収回路を開示している。

【 0 0 2 5 】

特開平 5 - 2 4 9 9 1 6 号公報は、PDP 装置においてアドレスドライバからアドレスパルスを印加する際の電力回収回路を開示している。

【 0 0 2 6 】

図 6 は、特開 2 0 0 2 - 1 7 5 0 4 4 号公報に開示された従来の低電力駆動回路を示す図である。

【 0 0 2 7 】

図 6 に示す従来例においては、共振用インダクタンス 1 1 2 を備えた電力回収回路 1 1 0 を用いてアドレスドライブ IC 1 2 0 の電源端子 1 2 1 を駆動することで消費電力を抑えている。電力回収回路 1 1 0 は、プラズマディスプレイパネルのアドレス電極にアドレス放電を誘起せしめるタイミングにおいては通常 of 一定アドレス駆動電圧を出力する。そして、アドレスドライブ IC 内の出力回路 1 2 2 のスイッチング状態が切り換わる前に電源端子 1 2 1 の電圧をグランドレベルまで落とす。その際、電力回収回路 1 1 0 内の共振用インダクタンス 1 1 2 と高レベルに駆動されている任意の数（例えば、最大：n 個）のアドレス電極の合

成負荷容量 $C_L$ （例えば最大では $n \times C_a$ ）との間に共振が生じて、アドレスドライバIC内出力回路122の出力素子における消費電力が大きく抑制される。

【0028】

具体的には、アドレスドライバICの電源電圧を一定にした従来の駆動法においては、スイッチング前後での負荷容量 $C_L$ における蓄積エネルギーの変化分の全てが、充放電電流経路中の抵抗性インピーダンス部分において消費されていた。これに対して、図6の電力回収回路110を用いた場合には、出力電圧の共振中心になるアドレス駆動電圧の中間電位を基準として負荷容量に蓄えられた位置エネルギー量が、電力回収回路110内の共振インダクタンス112を介してコンデンサに維持される。電源電圧がグランドにある最中に出力回路のスイッチング状態を切り換えた後、再びアドレスドライバICの電源電圧を共振を経て通常の一定駆動電圧まで立ち上げ、これにより電力消費を抑えるようになっている。

【0029】

また、特開2002-175044号公報は、アドレスドライバなどに適用するのに適した容量性負荷のパルス駆動回路の別の低消費電力化技術も開示している。図7は、特開2002-175044号公報に開示された別の容量性負荷駆動回路の従来例を示す図である。この回路においては、駆動回路303中の駆動素子306における電力消費を、抵抗や定電流回路からなる電力分散手段330に分散することによって抑えている。これは、駆動素子306に流れる駆動電流を直列接続された電力分散手段330にも流すことによって、これらの間の電圧分圧比に応じた分担で電力消費が分散される原理に基づいている。さらには駆動電源301を $n$ 段階で上げ下げすることによって、駆動電源301から駆動回路303への投入電力と駆動回路303の各部の消費電力も $1/n$ に削減できる。上記の電力回収技術と比較した場合、高い $Q$ を示す共振現象を誘起する必要がないので、駆動回路303の駆動素子306の消費電力を同等に抑えながらも大きな負荷容量305（ $C_L$ ）を高速に駆動でき、回路コストが大幅に削減できる利点がある。

【0030】

更に、特開平9-62226号公報は、X電極とY電極に交互にサステインパ



ルスを加印する際に、X電極から放電するエネルギーを回収してY電極を充電するのに使用し、Y電極から放電するエネルギーを回収してX電極を放電するのに使用する構成を開示している。

【0031】

【特許文献1】

米国特許第4,707,692号

【特許文献2】

米国特許第5,081,400号

【特許文献3】

米国特許第5,828,353号

【特許文献4】

特開平5-249916号公報

【特許文献5】

特開2002-175044号公報

【特許文献6】

特開平9-62226号公報

【0032】

【発明が解決しようとする課題】

米国特許第4,707,692号、第5,081,400号及び第5,828,353号、特開平5-249916号公報、特開平9-62226号公報、更に図6の従来例の駆動回路は、共振現象を利用して消費電力の削減を図るものであるが、近年のプラズマディスプレイパネルにおける高精細化や大画面化に伴い消費電力の抑制効果が大幅に損なわれるという問題があった。

【0033】

高精細化に伴って駆動回路の出力周波数を上げた場合には、プラズマディスプレイパネルの制御性能を維持すべく上記の共振時間の削減が必要になる。共振時間を $T_0$ とすると、数式1に示すように、これは負荷容量 $C_L$ と共振用インダクタンスの積の平方根に比例する。

【0034】

【数 1】

$$T_0 = \pi \sqrt{LC_L}$$

【0 0 3 5】

共振時間を削減する際、電力回収回路に設けた共振用インダクタンスの値のみを小さくせねばならず、共振のQが低下して電力抑制効果は減少してしまう。また、大画面化に伴いアドレス電極の寄生容量が増加しても上記の共振時間の増加を抑えるためには、やはり上記共振用インダクタンス値を削減しなければならず、電力抑制効果が減少してしまう。さらには駆動回路の出力周波数の上昇に伴って、高電圧パルスによってプラズマディスプレイパネルを駆動する回路の動作周波数の増加に伴う消費電力も大きくなり、駆動回路（ドライブIC）における発熱が大きな問題となる。特に、アドレスパルスの周期はサステインパルスの周期に比べて短いため、上記の公知例に開示された消費電力削減方法はアドレスドライバに適用するのが難しいという問題がある。

【0 0 3 6】

更に、サステインパルスは、全ての維持電極に印加するものであり、容量負荷は一定である。これに対して、アドレスパルスの場合、表示映像に応じて個々の負荷電極に相互に独立して印加されるために、駆動する負荷容量が大きく変化する。例えば、表示ライン毎に状態が変化する負荷容量の個数が多い場合に消費電力が大きくなり、特開平5-249916号公報に開示された構成を使用することにより消費電力を低減できるが、逆に縦方向に同じ画像が連続して各負荷容量の状態が変化しない場合には特開平5-249916号公報に開示された構成を使用すると消費電力が大きくなるという問題がある。

【0 0 3 7】

また、図7に示した電力分散方式を用いた容量性負荷駆動回路においても、駆動電源301から駆動回路303への投入電力をさらに下げることができれば、電源回路も含めた全体システムの発熱を抑えることができ、さらなるコスト削減

が可能になる。

【 0 0 3 8 】

駆動回路 3 0 3 の消費電力が十分に抑制できない場合、ディスプレイ各部の放熱コストや部品コストが増大してしまう。また、ディスプレイ装置自体の放熱限界により発光輝度が抑えられたり、フラットパネルディスプレイの特徴である薄型軽量化が十分に発揮できなくなる恐れを生じる。

【 0 0 3 9 】

本発明の目的は、上述した従来技術の課題に鑑み、駆動回路を高速化した場合にも、その電力消費（発熱）が抑制できると共に、ディスプレイ各部のコスト増加を抑えることもできる容量性負荷駆動回路及びこれを用いた P D P 装置などのディスプレイ装置を提供することにある。

【 0 0 4 0 】

【課題を解決するための手段】

上記目的を実現するため、本発明の第 1 の態様の容量性負荷駆動電源回路は、トランスを使用することを特徴とする。

【 0 0 4 1 】

具体的には、本発明の第 1 の態様の容量性負荷駆動電源回路は、容量性負荷に接続される出力端子に、トランスの 1 次コイルと 2 次コイルの一方の端を接続し、1 次コイルの他方の端と第 1 の基準電位の間に第 1 のスイッチ回路を接続し、2 次コイルの他方の端と第 2 の基準電位の間に第 2 のスイッチ回路を接続し、出力端子と駆動電源の間に電源スイッチ回路を接続する。

【 0 0 4 2 】

第 1 のスイッチ回路により駆動負荷とトランスの 1 次コイルを接続することにより、駆動負荷の容量とトランスの 1 次コイルの励磁インダクタンスの間に共振を生じさせる。共振により、駆動負荷の容量に蓄積されていた静電エネルギーがトランスの 1 次コイルの励磁インダクタンス内の電磁エネルギーに効率よく変換され蓄積される。これにより、共振周期の  $1/4$  の短時間で静電エネルギーが全て電磁エネルギーに変換され、1 次コイルの両端はほぼ第 1 の基準電位になる。すなわち、駆動負荷の電位が第 1 の基準電位になる。その後、駆動に適したタイミングで

第 1 のスイッチ回路を切断することにより、上記の電磁エネルギーをトランスの 2 次コイルから取り出すことができる。この電磁エネルギーを流し込んで再利用する回路部分（駆動負荷）を適宜選び、2 次コイルの励磁インダクタンスを適当に設計することにより、駆動回路での電力消費を最小とすることができる。上記のエネルギー再投入の過程での損失エネルギーを、電源スイッチ回路を介して駆動電源から補充する。このように、第 1 の態様では、受動部品である安価なトランスの使用による電流スイッチングによって、半導体スイッチ回路数を削減した低コストの容量性負荷駆動電源回路が実現できる。

## 【 0 0 4 3 】

第 1 の態様の変形例として、トランスの 2 次コイルの出力端子に接続される端子を、電源スイッチ回路が接続される経路に接続するようにしてもよい。

## 【 0 0 4 4 】

1 方向性導通素子から構成できる第 3 のスイッチ回路を、出力端子と第 1 の基準電位の間に更に設けることが望ましい。

## 【 0 0 4 5 】

第 2 のスイッチ回路は、1 方向性導通素子から構成できる。

## 【 0 0 4 6 】

第 1 の基準電位と第 2 の基準電位は等しい電位とすることも可能である。

## 【 0 0 4 7 】

1 次コイルと第 1 のスイッチの接続点と、第 5 の基準電位との間に第 4 のスイッチ回路を接続するようにしてもよく、第 5 の基準電位は例えば駆動電源の出力端子であり、第 4 のスイッチ回路は 1 方向性導通素子から構成できる。

## 【 0 0 4 8 】

更に、電源スイッチ回路が接続される経路にインピーダンス回路を接続すれば、電力の消費が分散できる。

## 【 0 0 4 9 】

本発明の第 2 の態様の容量性負荷駆動電源回路は、インダクタンス素子（コイル）を使用するが、容量（コンデンサ）を使用しないことを特徴とする。

## 【 0 0 5 0 】

具体的には、容量性負荷に接続される出力端子と第 1 の基準電位の間に第 1 のスイッチ回路、コイル及び第 2 のスイッチ回路を直列に接続し、第 1 のスイッチ回路とコイルの接続点と第 1 の基準電位との間に第 3 のスイッチ回路を接続し、コイルと第 2 のスイッチ回路の接続点と出力端子との間に第 4 のスイッチ回路を接続し、出力端子と駆動電源の間に電源スイッチ回路を接続する。

## 【 0 0 5 1 】

本発明の第 2 の態様では、駆動負荷をコイルと第 1 及び第 2 のスイッチ回路を介して第 1 の基準電位に接続することにより、駆動負荷の容量とコイルの励磁インダクタンスとの間で共振が生じる。第 2 のスイッチ回路と第 3 のスイッチ回路を導通してコイルの両端を同電位にすることによって、共振周期の  $1/4$  の短時間でコイルの電磁エネルギーに変換された駆動負荷の容量の静電エネルギーが、コイル内に維持される。第 1 及び第 2 のスイッチ回路が遮断状態になることにより、コイルのもう一方の端子から第 3 及び第 4 のスイッチ回路を介して駆動負荷に向かってエネルギーが戻る。上記のエネルギーの再利用の過程での損失エネルギーを、電源スイッチ回路を介して駆動電源から補充する。安価なコイルの使用と半導体スイッチ回路数の削減によって、高速駆動と低消費電力、低コストの容量性負荷駆動電源回路が実現できる。

## 【 0 0 5 2 】

第 3 のスイッチ回路及び第 4 のスイッチ回路は、1 方向性導通素子で構成できる。

## 【 0 0 5 3 】

更に、電源スイッチ回路が接続される経路にインピーダンス回路を接続することが望ましい。

## 【 0 0 5 4 】

上記の容量性負荷駆動電源回路は、PDP 装置のアドレスドライバなどの容量性負荷駆動回路の電源回路として使用するのに適している。

## 【 0 0 5 5 】

容量性負荷駆動回路は、容量性負荷と、第 1 の駆動電源と、第 2 の駆動電源と、第 1 の駆動電源と第 2 の駆動電源の間に直列に接続され、接続点が容量性負荷

に接続された第 1 及び第 2 の駆動素子とを備えるが、第 1 と第 2 の駆動電源の一方に上記の容量性負荷駆動電源回路を使用する。

## 【 0 0 5 6 】

PDP 装置のアドレスドライバの場合、容量性負荷が複数個あり、複数の容量性負荷をそれぞれ駆動する複数の第 1 及び第 2 の駆動素子の組みを有するが、第 1 及び第 2 の駆動電源は複数の第 1 及び第 2 の駆動素子の組みに共通に接続される。複数の容量性負荷のそれぞれは独立に電位状態が設定されるが、電位状態を設定する時には、複数の容量性負荷をすべて容量性負荷駆動電源回路に接続して蓄積されている静電エネルギーを一旦容量性負荷駆動電源回路に回収して電磁エネルギーとして蓄積し、すべての駆動素子を第 1 の電位に変化させる。次に設定する電位に応じて第 1 及び第 2 の駆動素子の一方を導通状態にして、容量性負荷駆動電源回路に蓄積した電磁エネルギーを放出して駆動電源の出力端子を第 2 の電位に変化させ、第 1 又は第 2 の駆動素子を通して対応する容量性負荷を第 2 の電位にする。

## 【 0 0 5 7 】

前述のように、PDP 装置のアドレスドライバなどの場合、表示ライン毎に状態が変化する負荷容量の個数が多い場合に消費電力が大きくなり、上記のような容量性負荷駆動電源回路の電力回収機能を働かせた方が消費電力を低減できるが、各負荷容量の状態が変化しない場合には消費電力は小さく、電力回収機能を働かせない方が消費電力を低減できる。

## 【 0 0 5 8 】

そこで、本発明の第 3 の態様の容量性負荷駆動回路は、各容量性負荷の変化状態に応じて、容量性負荷駆動電源回路における電力回収機能を働かせるかを制御する。

## 【 0 0 5 9 】

具体的には、容量性負荷駆動電源回路の電源スイッチ回路が接続される経路に、前記駆動電源から流れる電流を検出する電流検出回路を設けて、その検出結果に応じて容量性負荷駆動電源回路の電力回収機能を働かせるかを制御する。

## 【 0 0 6 0 】

別の方法としては、複数の容量性負荷のそれぞれの駆動状態の変化情報から駆動回路の消費電力予想値を演算し、演算した消費電力予想値に応じて容量性負荷駆動電源回路の電力回収機能を働かせるかを制御する。

## 【 0 0 6 1 】

更に別の方法としては、アドレスドライバなどの容量性負荷駆動回路の一部の温度を検出する温度検出回路を設け、検出した温度に応じて容量性負荷駆動電源回路の電力回収機能を働かせるかを制御する。

## 【 0 0 6 2 】

本発明の第 4 の態様の容量性負荷駆動回路は、PDP 装置の X 電極に印加したサステインパルスを解除する時のエネルギーを回収して、直後にサステインパルスを Y 電極に印加するのに再利用し、更に Y 電極に印加したサステインパルスを解除する時のエネルギーを回収して、直後にサステインパルスを X 電極に印加するのに再利用し、これを繰り返す。

## 【 0 0 6 3 】

従来のサステインパルスの電力回収回路は、X 電極と Y 電極に印加されるサステインパルスのエネルギーを X 共通駆動回路と Y 共通駆動回路でそれぞれ回収して一旦容量（コンデンサ）に蓄積し、X 電極から容量に回収したサステインパルスのエネルギーは次にサステインパルスを X 電極に印加する時に再利用し、Y 電極から回収したサステインパルスのエネルギーは次にサステインパルスを Y 電極に印加する時に再利用していた。また、前述の特開平 9 - 6 2 2 2 6 号公報は、X 共通駆動回路と Y 共通駆動回路の間に電力回収回路を設け、X 電極に印加されたサステインパルスのエネルギーを回収して一旦容量（コンデンサ）に蓄積し、直後に Y 電極に印加するサステインパルスの印加時に容量に蓄積したエネルギーを利用し、同様に Y 電極に印加されたサステインパルスのエネルギーを回収して一旦容量に蓄積し、直後に X 電極に印加するサステインパルスの印加時に容量に蓄積したエネルギーを利用する構成を開示していた。すなわち、いずれの場合も回収したエネルギーは一旦容量に蓄積し、その後容量から蓄積したエネルギーを取り出してサステインパルスの印加に利用していた。

## 【 0 0 6 4 】

これに対して、本発明の第 4 の態様の容量性負荷駆動回路は、エネルギーを一時的に蓄積する容量を使用せずにインダクタンス素子（コイル回路）のみを使用し、駆動負荷を形成する 2 つの電極の一方に印加された電圧を解除する時のエネルギーを回収して直後に他方の電極に電圧を印加するのに再利用する。これにより、回収効率がサステインパルスの周期に依存しなくなり、高周波数のサステインパルスにも対応可能になる。

【 0 0 6 5 】

【発明の実施の形態】

図 8 は、本発明の第 1 実施例のディスプレイ駆動回路の構成を示す図である。図 8 において、参照番号 5 はディスプレイの駆動端子を代表する容量性負荷を示す。駆動負荷の容量を  $C_L$ 、印加電圧を  $V_H$  とする。駆動電源 1 は駆動負荷に電圧  $V_a$  を供給する。駆動負荷 5 への印加電圧  $V_H$  を上げたり下げたりする際には、電源スイッチ回路 2 を一度 OFF（開放状態）にする。印加電圧を下げる際には、第 1 のスイッチ回路 4 を ON（導通状態）にして、負荷容量  $C_L$  とトランス 3 の 1 次コイル 3 1 とを共振させることにより、 $C_L$  に蓄えられていた静電エネルギーを 1 次コイル 3 1 の電磁エネルギーに変換する。2 次コイル 3 2 は図示した方向に巻かれているので、共振中にはダイオード 7 のカソード側が高電位になる方向に起電力が生じる。そのため、ダイオード 7 が遮断して 2 次コイル 3 2 には電流が流れないので、共振は 1 次コイルの特性に支配される。共振周期の  $1/4$  で印加電圧  $V_H$  が 0 V まで下がり、ダイオード 6 が導通して 1 次コイルの端子間電圧がほぼ 0 V となる。なお、電圧  $V_H$  が 0 V に下がるのであれば、ダイオード 6 は不要である。この時には、 $C_L$  に蓄えられていた静電エネルギーのほとんど全てが 1 次コイル 3 1 の電磁エネルギーに変換されている。この状態からスイッチ回路 4 を OFF に切り換えると、1 次コイル 3 1 の電流が行き場を失い減少すると同時に、2 次コイル 3 2 にダイオード 7 が導通する方向の起電力が誘起することによって、蓄えられた電磁エネルギーが 2 次コイル 3 2 から放出される。この時の 2 次コイルの電流を用いて負荷容量  $C_L$  を再充電することによって、印加電圧  $V_H$  を持ち上げる。この印加電圧の上げ下げの過程で、回路各部の抵抗成分やトランスの結合損失で失われたエネルギーを、スイッチ回路 2 を ON させることで駆動電



源 1 から補充する。図 8 において、トランス 3 の 1 次コイル 3 1 とスイッチ回路 4 は、その接続位置が入れ替わっていても構わない。さらに、ダイオード 6 と 7 は、それぞれに外部から制御されるスイッチ素子、例えば MOSFET や IGBT などにも置き換え可能である。この場合、2 次コイル 3 2 とダイオード 7 に相当するスイッチ素子の位置関係も交換可能である。本発明は、駆動負荷が容量性負荷と見なせれば、プラズマディスプレイに限らず、エレクトロルミネッセンスディスプレイや液晶ディスプレイ、CRT ディスプレイなどにも適用可能である。負荷容量  $C_L$  を再充電する場合に、共振エネルギーの損失のために、共振エネルギーだけでは負荷容量  $C_L$  を電圧  $V_a$  まで充電できないので、再充電が完了する直前又は直後にスイッチ回路 2 を導通させて、電圧  $V_a$  まで充電する。

## 【 0 0 6 6 】

図 9 は本発明の第 2 実施例の PDP 装置の全体構成を示す図であり、図 10 はアドレスドライバの電源を示す図である。図 9 と図 3 と比較して明らかなように、第 2 実施例の PDP 装置は、アドレスドライバ電力回収電源 2 6 0 が設けられている点が従来の PDP 装置と異なる。従来の PDP 装置においては、アドレスドライバ 2 0 2 の電源は単に電圧  $V_a$  とグランド GND を供給する電源であった。これに対して、第 2 実施例の PDP 装置では、アドレスドライバ電力回収電源 2 6 0 がアドレスドライバ 2 0 2 の高電位側の電源端子に電圧  $V_a$  を供給する時に、アドレス電極に保持された電力を一旦回収して再利用する。

## 【 0 0 6 7 】

プラズマディスプレイパネルのアドレス電極は、各々が容量  $C_L$  の駆動負荷 5 1 となっており、これらを駆動するドライブ IC 7 0, 7 5 及び 7 6 は、その実装性と放熱性向上のためにドライブモジュール 7 7 から 7 9 に複数個ずつ搭載される。アドレスドライバ電力回収電源 2 6 0 が、これらのドライブモジュール内のドライブ IC に共通に印加される電圧  $V_a$  を供給する。 $V_H$  は、端子 7 0 0 の電圧を示す。ドライブモジュール内のドライブ IC に共通に印加されるグランド電圧 GND は従来と同様に供給される。これにより、すべてのドライブ IC の消費電力を削減できる。

## 【 0 0 6 8 】

図 1 1 は、第 2 実施例のアドレスドライバ電力回収電源 2 6 0 の構成を示す図であり、ここではドライブ IC 7 0 の 1 個の駆動素子の組みのみを示している。図示のように、第 2 実施例のアドレスドライバ電力回収電源 2 6 0 は、第 1 実施例の容量性負荷駆動回路で構成されている。

## 【 0 0 6 9 】

図 1 1 において、ドライブ IC 7 0 が駆動負荷 5 1 を直接駆動しており、ドライブ IC 7 0 の高電位側の電源端子 7 0 0 にアドレスドライバ電力回収電源 2 6 0 から電圧  $V_a$  が供給される。ドライブ IC 7 0 には、ハイサイド MOSFET 7 1 とローサイド MOSFET 7 2 が集積されており、これらの MOSFET にはそれぞれダイオード 7 3 と 7 4 が寄生している。また、図 8 における第 1 実施例のスイッチ回路 2 と 4 として、それぞれ MOSFET 2 1 と 4 1 が用いられており、これらの MOSFET はバッファ回路 2 2 と 4 2 によって駆動されており、その制御信号は制御回路 2 0 5 から供給される。ここでは各部のスイッチ回路には MOSFET やダイオードが用いられているが、これらを IGBT やバイポーラトランジスタなどの適当な半導体素子あるいはスイッチ素子に置き換えることができることは言うまでもない。トランス 3 には、バイファイラ巻きやサンドイッチ巻き、スペース巻きなどの手法によって結合係数を向上した空芯トランスが適用できる。また、高周波特性と磁気飽和特性に注意すれば、フェライトや誘電体材料などの一般的なコア材を用いて、結合係数の向上と特性の安定化、小型化を図ったトランスを用いることができる。巻き線は単線であってもよいが、トランス外形やコストの許す範囲で表皮効果や近接効果を考慮して、より線やそれらの並列巻き、直列巻きを用いることができる。

## 【 0 0 7 0 】

図 1 1 に示した第 2 実施例のディスプレイ駆動回路の動作を、図 1 2 に示す波形図を用いて詳細に説明する。図 1 2 においては、上からドライブ IC の電源端子電圧  $V_H$ 、MOSFET 2 1 と 4 1 の状態、トランス 3 の 1 次コイルの電流  $I_1$  と 2 次コイルの電流  $I_2$ 、ドライブ IC 7 0 の状態を時間順に示す。従来の電源回路を使用した場合には、ドライブ IC 7 0 の出力状態が出力 ( $L_n$ ) から出力 ( $L_{n+1}$ ) に切り替わる際には、駆動負荷 5 1 の電圧の上げ下げに伴う移動エネ

ルギの一部や全てが、ICの内部素子71や72で消費される。この電力消費を削減するため、第2実施例では、駆動負荷51に蓄えられた静電エネルギーをドライブIC70の電源端子700からトランス3の1次コイル31に取り出す。そのためにまずMOSFET21をOFFした後に、MOSFET41をONする。この時、1次コイル31の電流 $I_1$ は $V_a (C_L / L_1)^{1/2}$ まで正弦波状に増加する。この期間 $T_1$ は数式2に示すように $\pi (C_L / L_1)^{1/2}$ となり、図6に示した従来の駆動方式に対して半分となり高速駆動が可能となる。

【0071】

【数2】

$$T_1 = \frac{\pi \sqrt{L_1 C_L}}{2}$$

$$T_2 = \frac{\pi \sqrt{L_2 C_L}}{2}$$

$$T_3 = \frac{\pi \sqrt{L_3 C_L}}{2}$$

【0072】

その際、ドライブIC70の電源端子700からは、ハイサイドMOSFET71の寄生ダイオード73を介して電流が取り出されるので、ローサイドMOSFET72がOFFからONに切り替わることを禁止すれば、ハイサイドMOSFET71とローサイドMOSFET72の状態を切り換えて、回路動作の高速化を図ることができる。ドライブICの電源電圧 $V_H$ が $V_a$ から0Vに下がった時点でダイオード6が導通するので、1次コイル31の端子間電圧はほぼ0Vとなって、電流 $I_1$ は $V_a (C_L / L_1)^{1/2}$ に維持されて、電磁エネルギーが保存される。コスト削減のため、ダイオード6を削除してドライブIC70の中の寄生ダイオード73と74の導通を利用することもできる。しかし、ダイオード6を削除した場合には、 $I_1$ の波形の一点破線に示すように電流 $I_1$ の減衰が無視できないこともある。よって、MOSFET41の導通期間を延長する際には、

このエネルギー損失に対する注意を要する。続いて、ドライブ IC 70 の出力状態が出力 ( $L_{n+1}$ ) に切り替わってから MOSFET 41 を OFF する。出力状態を完全に切り換える時間が長い場合においても、ドライブ IC 70 の中のハイサイド MOSFET 71 の ON 状態さえ確定していれば、MOSFET 41 を OFF にできる。MOSFET 41 の OFF によって 1 次コイル 31 の電流  $I_1$  が減少した瞬間に、2 次コイル 32 にダイオード 7 を導通させる方向に起電力を生じ、図示したように正弦波状の波形を描いて電流  $I_2$  が流れる。電流  $I_2$  の最大値は電流  $I_1$  の最大値の  $(L_1/L_2)^{1/2}$  となるが、1 次・2 次コイル間の結合係数が小さいほど減少する。また、2 次コイルと負荷容量の共振による駆動負荷への静電エネルギーの再生時間は  $L_2$  の設計によって自由に設定できる。2 次コイルの共振時間  $T_2$  は、数式 1 に示すように  $\pi (L_2/C_L)^{1/2}$  となり、従来方式に対して半減する。また、図 8 や図 11 に示す回路において、ダイオード 6 はグランドに接続されているが、例えば駆動負荷 5 における電力再生の高速化や駆動電源 1 の供給電力の削減のために、グランド電位とは異なった電位点に接続することもできる。

### 【 0 0 7 3 】

例えば、 $L_1$  と  $L_2$  とを等しい値に設計した場合の  $V_H$  と  $I_2$  の波形を実線に示す。1 次コイル 31 に流れ込む共振電流の電流経路においては、寄生ダイオード 73 の導通抵抗が電力損失の要因となる。また、2 次コイル 32 から流れ出す共振電流の電流経路においては、寄生ダイオード 73 に対して一般的に導通抵抗の高いハイサイド MOSFET 71 の ON 抵抗が電力損失の要因となる。これらの電力損失により負荷容量に再生される静電エネルギーが減少するため、共振時間  $T_2$  の後の電源端子電圧  $V_H$  は駆動電源電圧  $V_a$  に対して低くなる。共振時間  $T_2$  を経た後に MOSFET 21 を ON することによって、損失電力分を駆動電源 1 から補充する。これらの電力損失を削減する一手法として、2 次コイルの励磁インダクタンス  $L_2$  を増やすことによって共振電流の実効値を削減することが考えられる。共振電流の実効値を減らすことで、上記の抵抗で生じる電力損失を削減することができる。負荷容量の駆動電圧が一定であれば、その充電電荷量に相当する平均電流も一定となるが、電流の実効値は電流の 2 乗の平均値に比例するので、

電流のピーク値の低さに応じて小さくなる。2次コイルの励磁インダクタンス $L_2$ の値を増やすと共振時間は増加するが、共振電流のピーク値を減らすことができ、実効値を削減することができる。例えば、 $L_2$ の値を $L_1$ の2倍に設計した場合には、電源端子電圧 $V_H$ の破線波形で示すように負荷容量の再生エネルギーが増加する。その際の再生エネルギーを最大限に増やすためには、破線で示すようにMOSFET 21のOFF時間も共振時間に合わせて延長することが好ましい。しかし、駆動の高速化を優先する場合には、実線で示したように共振中にMOSFET 21を早めにONすることもできる。この場合でも、 $L_1$ と $L_2$ とが等しい場合に比べれば電力損失を削減できる。また、逆に電力損失を少々増やしても、高速に上記の電力再生を実施したい場合には、インダクタンス $L_2$ をインダクタンス $L_1$ の値よりも小さくすることができる。

## 【 0 0 7 4 】

なお、第2実施例ではドライブICの高電位側の電源に電力回収機能を有する電源を使用した。低電位側の電源に電力回収機能を持たせることも可能である。例えば図11において、ドライブIC 70の高電位側電源端子700は接地電位に接続し、低電位側電源端子701を接地点に接続しないで上記のアドレスドライバ電力回収電源の出力端子に接続する。その場合にアドレスドライバ電力回収電源の回路内の駆動電源1やMOSFET 21, 41やダイオード6, 7など半導体素子の極性は反転することは言うまでもない。また、ドライブIC 70が制御信号を低電位側電源端子701の電位を基準に入力するタイプである場合で、制御信号が接地電位を基準に入力されている際には、フォトカプラ回路やコンデンサ結合回路などを介して制御信号にレベルシフトを施すことも言うまでもない。同様に駆動負荷51に $V_a/2$ から $-V_a/2$ の電圧を印可するのであれば、ドライブIC 70の高電位側電源端子700に $V_a/2$ の基準電位を与える駆動電源1を備えたアドレスドライバ電力回収電源を接続し、低電位側電源端子701に $-V_a/2$ の電位基準点を接続してもよい。或いは、ドライブIC 70の高電位側電源端子700に $V_a/2$ の電位基準点を接続し、低電位側電源端子701に $-V_a/2$ の基準電位を与える駆動電源1を備えたアドレスドライバ電力回収電源を接続してもよい。

## 【 0 0 7 5 】

図 1 3 は、本発明の第 3 実施例の P D P 装置のアドレスドライバ電力回収電源の構成を示す図である。第 3 実施例のアドレスドライバ電力回収電源は、1 次コイル 3 1 と第 1 のスイッチ回路 4 1 の接続点がダイオード 4 3 を介して電源 1 の端子に接続されている点が第 2 実施例の電源と異なる。

## 【 0 0 7 6 】

図 1 3 に示す回路においては、M O S F E T 4 1 を遮断した際に 1 次コイル 3 1 に発生する逆起電力を、ダイオード 4 3 を介して駆動電源 1 の電圧  $V_a$  に抑えている。このことによって、M O S F E T 4 1 に耐圧の低い安価な素子を用いることができる。また、逆起電力を抑える際にダイオード 4 3 を介して流れるサージ電流が電源ライン・インピーダンスに誘起する小さな電圧変動によるスイッチ回路の誤動作を抑えるため、駆動電源側から入力端子を遠ざけた N チャンネル M O S F E T 2 3 を用いている。N チャンネル M O S F E T 2 3 はバッファ回路 2 4 によって、そのソース電位を基準にゲートが駆動されている。バッファ回路 2 4 には、M O S F E T 2 3 のソース電位につながれたフローティング電源用容量によって駆動された集積回路を用いることができる。あるいは M O S F E T 2 3 のソース・ドレイン間につながれたパルストランスを用いることもできる。また、ダイオード 4 3 のカソード端子を駆動電源 1 ではなく、他の電位点に接続することによって、1 次コイル 3 1 に発生する逆起電圧を抑えることもできる。

## 【 0 0 7 7 】

プラズマディスプレイパネルの駆動端子のなるべく多くを一つの駆動回路で駆動してコスト削減を図ろうとすると、負荷容量の増大に伴って増大する駆動電流に起因してドライブ I C の電力消費が増える。そこで、ドライブ I C のさらなる低消費電力化のために、図 8 に示したスイッチ回路 2 を定電流源スイッチ回路とする。スイッチ回路 2 を O N 時に定電流源として動作させれば、ドライブ I C に流す駆動電流の実効値と発生する消費電力を低く抑えることができる。具体的には、スイッチ回路に用いる駆動素子に電流帰還を施す。例えば、図 1 3 に示す M O S F E T 2 3 のソースに帰還抵抗 2 5 を直列接続し、バッファ回路 2 4 からの駆動電圧を帰還抵抗 2 5 と M O S F E T 2 3 のゲート間に印加する。また、図 8

に示した回路においても、スイッチ回路 2 と直列に抵抗や定電流回路などのインピーダンス（回路）を挿入することによっても、スイッチ回路 2 の ON 時の導通インピーダンスが上昇して、上記の MOSFET 2 3 と抵抗 2 5 の回路から得られるような定電流源と同等の動作が得られる。

## 【 0 0 7 8 】

図 1 4 は、本発明の第 4 実施例の PDP 装置のアドレスドライバ電力回収電源の構成を示す図である。第 4 実施例のディスプレイ駆動回路は、トランス 3 の 2 次コイル 3 2 が ON 時に定電流源として動作する MOSFET 2 3 のソース端子に接続されている点が第 3 実施例と異なる。これにより、ドライブ IC 7 0 を含むドライブモジュール 7 7 から 7 9 への駆動電流は、印加電圧  $V_H$  の立ち上がり時に常に定電流化されて、その実効値が最小となる。2 次コイル 3 2 から供給された電荷量だけ、駆動電源 1 からの供給電荷も削減されて駆動回路全体の消費電力も削減される。従って、プラズマディスプレイパネルのマトリクス電極のような重い負荷容量を駆動する場合においても、ドライブモジュール 7 7 などの放熱コストを抑えることができる。

## 【 0 0 7 9 】

図 1 5 は、本発明の第 5 実施例の容量性負荷駆動回路の構成を示す図である。第 5 実施例の容量性負荷駆動回路においては、トランスではなく安価なコイル 8 を用いることによって、図 8 に示した駆動回路と同等の低電力化を実現している。第 5 実施例の容量性負荷駆動回路も、PDP 装置のアドレスドライバの電源として使用するのに適している。

## 【 0 0 8 0 】

回路の動作を図 1 6 を参照して説明する。図 1 6 において、上から駆動負荷 5 への印加電圧  $V_H$ 、スイッチ回路 2 と 4 と 8 1 の状態、コイル 8 の電流  $I_3$  を示す。図 1 1 に示したように、ドライブ IC 7 0 を介して駆動負荷 5 を駆動した場合における、ドライブ IC 7 0 の出力状態も括弧内に示した。消費電力を削減するため駆動負荷 5 に蓄えられた静電エネルギーをスイッチ回路 8 1 と 4 とを ON してコイル 8 に取り出す。そのためにまずスイッチ回路 8 1 を ON 状態にして、スイッチ回路 2 を OFF にした後、スイッチ回路 4 を ON にする。この時、コイル 8

の電流  $I_3$  は  $V_a (C_L / L_3)^{1/2}$  まで正弦波状に増加する。この期間  $T_3$  は数式 1 に示すように  $\pi (L_3 \times C_L)^{1/2} / 2$  となり、図 6 に示した従来の駆動方式に対して半分となり高速駆動が可能となる。ドライブ IC 70 を用いた場合には、その電源端子 700 からは、ハイサイド MOSFET 71 の寄生ダイオード 73 を介して電流が取り出されるので、ローサイド MOSFET 72 が OFF から ON に切り替わることをのみを禁止すれば、ハイサイド MOSFET 71 とローサイド MOSFET 72 の状態を切り換えて、回路動作の高速化を図ることができる。ドライブ IC 70 の電源電圧  $V_H$  が  $V_a$  から 0 V に下がった時点でダイオード 82 が導通するので、コイル 8 の端子間電圧はほぼ 0 V となって、電流  $I_3$  は  $V_a (C_L / L_3)^{1/2}$  に維持されて、電磁エネルギーが保存される。続いて、スイッチ回路 81 を OFF にしてこの電磁エネルギーの駆動回路への再投入に備える。そして、スイッチ回路 4 を OFF にする。ドライブ IC 70 を用いる場合には、その出力状態が出力 ( $L_{n+1}$ ) に切り替わってからスイッチ回路 4 を OFF にする。出力状態を完全に切り換える時間が長い場合においても、ドライブ IC 70 の中のハイサイド MOSFET 71 の ON 状態さえ確定していれば、MOSFET 41 を OFF にできる。スイッチ回路 4 の OFF によってコイル 8 の電流  $I_3$  が減少しようとした瞬間に、コイル 8 にダイオード 83 を導通させる方向に起電力が生じ、図示したように正弦波状の共振波形を描いて電流  $I_3$  が減少する。その時の共振時間  $T_3'$  と  $T_3$  と比較すると、共振電流の経路中の抵抗値の高低の相違に応じて、少し長くなったり短くなったりする。その後、スイッチ回路 2 を ON して駆動負荷に駆動電圧  $V_a$  を供給し、スイッチ回路 81 を ON して以降の繰返し動作に備える。

#### 【 0 0 8 1 】

図 17 は、本発明の第 6 実施例のアドレスドライバ電力回収電源の構成を示す図である。これまで説明した第 1 から第 4 実施例のアドレスドライバ電力回収電源は、表示パターンの変化が大きい表示信号を扱う際には、消費電力を大幅に削減することができる。しかし、表示パターンの変化が小さい表示信号、例えば表示前面の単一色の表示パターンなどに相当する表示信号を扱う際には、従来方式においても消費電力は十分に低く抑えられており、そのまま上記の実施例を適用



すると、駆動負荷 5 1 に周波数の高い駆動パルスを強制的に印加することになって、従来方式を用いた場合に比べるとかえって駆動回路の消費電力が増加してしまう。

## 【 0 0 8 2 】

そこで、第 6 実施例においては、図示のように、駆動電源 1 とスイッチ回路 2 との間に電源電流の検出回路 1 5 を直列に挿入し、電流検出回路 1 5 の出力端子を駆動制御回路 1 8 の入力端子に接続している。そして、駆動回路の消費電力が大きい表示においてのみ、これまでの電力回収機能を動作させる。具体的には、電流検出回路 1 5 を用いて駆動電源 1 から流れる電源電流を検出し、検出出力を制御回路 1 8 に入力して、その電流値がある値よりも大きくなった時にスイッチ回路 4 を作動させている。

## 【 0 0 8 3 】

従って、電流検出回路 1 5 の挿入位置は、駆動電源 1 から流れる電源電流を検出できる位置であれば、スイッチ回路 2 と出力端子との間でもよい。

## 【 0 0 8 4 】

図 1 8 は、電流検出回路の構成例を示す図である。図 1 8 において、電流検出回路 1 5 は電流検出抵抗 1 6 と検出電圧変換回路 1 7 から構成される。駆動電源 1 の電源電流は、これに比例して生じる電流検出抵抗 1 6 の電圧降下によって検出できる。検出電圧変換回路 1 7 は、この検出電圧を駆動制御回路 1 8 で扱い易い信号（電圧・電流・パルスなど）に変換して、駆動制御回路 1 8 に出力する。検出電圧変換回路 1 7 は上記の電圧降下を、電流検出抵抗 1 6 の駆動電源 1 に接続されていない方の端子のみから、接地電位を基準にして検出することができる。または、破線で示した接続も加えて、検出電圧が小さい場合にも、電流検出抵抗 1 6 の両端子から高精度に検出できる。

## 【 0 0 8 5 】

図 1 9 は、本発明の第 7 実施例の P D P 装置のアドレスドライバ電力回収電源の構成を示す図であり、図 1 5 の第 5 実施例の容量性負荷駆動回路をアドレスドライバ電力回収電源に適用した P D P 装置において、第 6 実施例と同様に、駆動電源 1 から流れる電源電流を検出してその電流値がある値よりも大きくなった時

にスイッチ回路 4 を作動させている。第 7 実施例においては、電流検出回路 1 5 を、スイッチ回路 2 と出力端子との間に設けている。

## 【 0 0 8 6 】

図 2 0 は、本発明の第 8 実施例の P D P 装置の構成を示す図である。第 6 及び第 7 実施例では、駆動電源 1 から流れる電源電流を検出したが、P D P 装置の表示信号を検出することによっても、駆動回路の消費電力を推定することができる。第 8 実施例の P D P 装置では、図 2 0 に示すように、制御回路 2 0 5 の表示データ制御部 2 5 1 に、負荷変動検出部 2 6 1 を設け、その検出結果に基づいてアドレスドライバ電力回収電源 2 6 0 の電力回収の動作を制御している。アドレスドライバ電力回収電源 2 6 0 は、例えば、第 2 から第 7 実施例に示した回路である。

## 【 0 0 8 7 】

負荷変動検出部 2 6 1 は、入力されたクロック信号と表示データ信号から駆動回路の消費電力を推定する。クロック信号と表示データ信号から求めた個々のアドレスドライバ I C かアドレスドライバモジュールの出力のパルス数をカウントすることによって、負荷変動を求めることができる。この負荷変動の増減に応じて駆動回路の消費電力も増減する。更に正確に消費電力を推定する場合には、隣接する出力ライン間の寄生容量も考慮して、パルス数に次のような種類の重み付けをして駆動回路の消費電力を求める。すなわち、両隣の隣接する出力端子と計算対象とする出力端子の出力の切り替わり関係に応じて、次の順位で重み付けを重くする。

## 【 0 0 8 8 】

( 1 ) 両隣の隣接する出力端子が計算対象とする出力端子と同時に同じハイレベルかローレベルに切り替わる回数。

## 【 0 0 8 9 】

( 2 ) 隣接する出力端子の一方のみが計算対象とする出力端子と同時に同じハイレベルかローレベルに切り替わり、隣接する他方の出力端子は切り替わらない回数。

## 【 0 0 9 0 】

(3) 計算対象とする出力端子のみが切り替わり、両隣の隣接する出力端子は共に切り替わらない回数。

【0091】

(4) 隣接する出力端子の一方のみが計算対象とする出力端子と同時に反対のレベルに切り替わり、隣接する他方の出力端子は切り替わらない回数。

【0092】

(5) 両隣の隣接する出力端子が共に、計算対象とする出力端子と同時に反対のレベルに切り替わる回数。

【0093】

図21は、本発明の第9実施例のPDP装置のアドレスドライバの駆動系の構成を示す図であり、第5実施例の容量性負荷駆動回路をアドレスドライバ電力回収電源に適用した例である。

【0094】

負荷変動を検出するもう一つの方法としては、駆動回路のうちで電力を消費する素子の温度を検出することが考えられる。つまり、回路消費電力の大きくなる表示パターンの表示時には、回路消費電力が増加して素子又はその周辺の温度が上昇する。そこで、第9実施例では、この検出温度がある値を超えた場合に、アドレスドライバ電力回収電源の回収動作を動作させることにより、回路消費電力の大きくなる表示パターンの表示時に回路消費電力を削減し、回路消費電力の小さな場合には回収動作を動作させずに逆に回路消費電力が増加するのを防止する。

【0095】

図21に示すように、第9実施例では、アドレスドライブIC70にサーミスタなどの温度検出器58を設け、温度検出制御回路59が温度検出器58の検出信号から温度を検出してスイッチ回路4の動作を制御する。具体的には、検出温度が所定の値を超えた場合には、スイッチ回路4への制御信号を遮断して動作させない。

【0096】

なお、第9実施例ではアドレスドライブIC70にサーミスタなどの温度検出

器 5 8 を設けたが、アドレスドライブモジュール 7 7、あるいはこれらの放熱に用いる放熱板、放熱板上に設けられたフレキシブル基板などの配線部材に実装したり、電力消費素子や周辺部にネジ止めや接着することにより、電力消費素子の温度を直接的や間接的に検出することも可能である。また、サーミスタの他に、温度検出用 I C などを活用することができる。また、温度検出器 5 8 を使用せずに、アドレスドライブ I C 内に構成されたダイオードやトランジスタなどの P N 接合を有した素子や抵抗素子やコンデンサなどの温度特性を利用して温度を検出することも可能である。

## 【 0 0 9 7 】

更に、上記の駆動制御回路 1 8 や温度検出制御回路 5 9 の制御方法についても、いくつかの方法が考えられる。まず第 1 には、上記の駆動回路の消費電力や検出温度がある一定の閾値を超えた際にすぐさま本発明の消費電力の削減機能を動作させ、閾値以下になったら動作を停止させる方法が挙げられる。この方法は制御プログラムの大きさが最小になるが、表示パターンが切り替わる度に上記の消費電力の削減機能が動作と停止を繰り返すことによって生じるスイッチングノイズが使用者に判別される可能性もある。そこで、これを避けるべく、上記の閾値を超えたり閾値以下になった際に、一定時間をおいてから消費電力の削減の動作と停止を切り換える方法が考えられる。しかし、これによっても、静止画などの表示中には、消費電力の削減動作の切り替わりに伴って生じるノイズが使用者に認識される恐れがある。そこで、二つの閾値を設定することによって、消費電力の削減動作にヒステリシス特性を与えることも考えられる。すなわち、上記の駆動回路の消費電力や検出温度が第 1 の閾値を超えた際に本発明の消費電力の削減機能を動作させ、これらの消費電力や検出温度が第 1 閾値よりも低い第 2 閾値以下になってから消費電力の削減動作を停止させる。このヒステリシス特性によって、異なった映像の変わり目に合わせて消費電力の削減動作を切り換えることができるので、上記のいずれも認識される可能性が更に低くなる。

## 【 0 0 9 8 】

ここで、以上の駆動回路の消費電力や素子温度の検出に基づく本発明の消費電力の削減機能を作動・停止する制御は、図 6 に示した特開平 5 - 2 4 9 9 1 6 号

公報や図 7 に示した特願 2 0 0 0 - 3 0 1 0 1 5 号などに開示されている消費電力を低減した従来の駆動回路に対しても適用できることはいうまでもない。

【 0 0 9 9 】

図 2 2 は、本発明の第 1 0 実施例の P D P 装置のパネル 2 0 1、X 共通ドライバ、走査ドライバ 2 0 3 及び Y 共通ドライバの部分の構成を示す図である。プラズマディスプレイパネル 2 0 1 のサステイン電極駆動回路（X 共通ドライバと Y 共通ドライバ（合わせて共通ドライバ））は、負荷容量が一定と見なせる容量性負荷を駆動する。第 1 0 実施例の共通ドライバは、サステイン期間には、図 4 に示したように、図 2 2 のプラズマディスプレイパネル 2 0 1 の Y 電極 Y 1 から Y L に、走査ドライブ IC が搭載されたドライブモジュール 2 0 3 を介して共通ドライブ電圧  $V_Y$  が印加され、X 電極 X 1 から X L にも共通ドライブ電圧  $V_X$  が印加されている。例えば、ドライブ電圧のパネル依存性を吸収すべくマージンを広げたり、ディスプレイの高輝度化を測る方法として、図 4 に示したサステイン期間の X 電極と Y 電極への印加電圧が 0 V の期間を短縮して、駆動デューティを大きくすることが考えられる。最大限の駆動デューティを得る場合には、X 電極と Y 電極を同時に切り換えて常に両電極の電位が異なるようにすることが考えられる。しかし、最大限の性能向上を目指して X 電極と Y 電極を完全に同時に切り換えた場合には、図 2 2 中に示した負荷等価回路の電極間容量 5 3 に印加電圧  $V_s$  の 2 倍の電圧差が加わることになる。その場合、電極間容量 5 3 の駆動のために駆動回路で消費される電力量がパルス周期当たり 2 倍に大きくなってしまう。X 電極と Y 電極の各々のグラウンド間容量 5 1 と 5 2 の駆動に要する電力量は変化しない。電極間容量 5 3 の駆動電力の 2 倍化を排し、最大限の性能向上を得る方法としては、図 2 3 の駆動電圧  $V_X$  と  $V_Y$  の波形に示すように、一方の電極電圧が 0 V に至った瞬間に他方の電極電圧を立ち上げることが考えられる。図 2 3 の波形図を用いてこの駆動方法を簡単に説明する。例えば、X 電極の電圧  $V_X$  を立ち下げる際には、スイッチ回路 8 8 と 8 9 を ON にしてコイル 8 と電極容量の共振を利用して  $V_X$  を下げる。 $V_X$  が 0 V を過ぎるとダイオード 8 2 1 が導通し、 $V_X$  はほぼ 0 V に保持される。その後、スイッチ回路 9 4 を OFF にするとコイル 8 に流れていた電流がプラズマディスプレイパネル 2 0 1 の Y 電極の容量に流れ込む。

この時、コイル 8 と Y 電極の容量との間の共振を介して、コイル 8 に蓄えられていた電磁エネルギーが Y 電極の容量の静電エネルギーに再生されることによって、電力消費が削減される。同様の動作を、Y 電極の電圧  $V_Y$  を立ち下げる際にも繰返し実施する。本実施例を用いることにより、ドライブ電圧のマージンを広げたり、パルス周波数を増やしてディスプレイの高輝度化を測ることができる高速な低消費電力駆動回路を実現できる。

# 【 0 1 0 0 】

図 2 4 は、本発明の第 1 1 実施例の PDP 装置のパネル 2 0 1、X 共通ドライバ、走査ドライバ 2 0 3 及び Y 共通ドライバの部分の構成を示す図である。第 1 0 実施例の駆動回路においては、プラズマディスプレイパネル 2 0 1 の共通ドライバのように負荷容量が一定と見なせる駆動回路の更なる低消費電力化と低コスト化を可能にしている。サステイン期間には、図 4 に示したように、図 2 4 中のプラズマディスプレイパネル 2 0 1 の Y 電極 Y 1 から Y L には、走査ドライブ IC が搭載されたドライブモジュール 2 0 3 を介して共通ドライブ電圧  $V_Y$  が印加され、X 電極 X 1 から X L にも共通ドライブ電圧  $V_X$  が印加されている。一般に駆動回路の消費電力は、駆動電圧の 2 乗と駆動周波数にほぼ比例する。従って、図 2 5 の波形図に示すように、 $V_X$  と  $V_Y$  の駆動パルス振幅を従来の半分である  $V_a / 2$  に抑えつつ、プラズマディスプレイパネル 2 0 1 の X Y 電極間には従来通り  $\pm V_a$  を印加すれば、駆動回路の消費電力は半減する。この場合、パルス周波数は 2 倍になっても、パルス 1 周期当たりの消費エネルギーは  $1 / 4$  になる。また、本実施例においても、図 2 5 の駆動電圧  $V_X$  と  $V_Y$  の波形に示すように、一方の電極電圧が最低電圧に至った瞬間に他方の電極電圧を立ち上げることによって駆動電圧波形のデューティは最大限に拡大できる。従って、ドライブ電圧のマージンを広げたり、パルス周波数を増やしてディスプレイの高輝度化を図ることができる。図 2 5 の波形図を用いて簡単に動作を説明する。例えば X 電極の電圧  $V_X$  を立ち下げる際には、スイッチ回路 9 5 を OFF にしてからスイッチ回路 6 3 を ON にしてトランス 3 の片側のコイル 3 1 1 と電極容量の共振を利用して  $V_X$  を下げる。 $V_X$  がパルス波形の最低電位を過ぎるとダイオード 6 1 が導通し、 $V_X$  はほぼその最低電位に保持される。ダイオード 6 1 には、スイッチ回路 9 7 の構成

素子に寄生するダイオードを用いてもよいし、新たに並列負荷したダイオードを用いてもよい。その後、スイッチ回路 6 3 を OFF にするとコイル 3 1 1 に流れていた電流が遮断されて、トランス 3 の電磁エネルギーがもう一方のコイル 3 2 1 とダイオード 6 6 を介してプラズマディスプレイパネル 2 0 1 の Y 電極に流れ込む。この時にも、コイル 3 2 1 と Y 電極の容量との間の共振を介して、トランス 3 に蓄えられていた電磁エネルギーが Y 電極の容量の静電エネルギーに効率よく変換され再利用されることによって、駆動回路の電力消費が削減される。同様の動作を、フローティングスイッチ回路 9 9 と 1 0 0 を切り換えることによって、X・Y 電極の電圧  $V_X \cdot V_Y$  を立ち下げる際に繰返し実施する。（各々の電極電圧が、 $V_A/2$  および 0 V から立ち下げられる場合の 4 パターンがある。）

また、本実施例においては、耐圧を半分に抑えた安価な駆動素子やダイオード、トランスなどを、各スイッチ回路や回路部品に用いることができる。なお、本実施例の説明においては、プラズマディスプレイパネル 2 0 1 の X 電極と Y 電極の間に振幅が半分の駆動電圧を差動的に印加していたが、駆動電圧の印加端子を同じ X 電極や Y 電極の奇数番目と偶数番目の間としてもよいことはいうまでもない。従って、本実施例を用いることにより、駆動回路の消費電力と回路コストを大幅に抑えた上に、ドライブ電圧のマージンを広げたり、パルス周波数を増やしてディスプレイの高輝度化を測ることができる高速な低消費電力駆動回路を実現できる。

#### 【 0 1 0 1 】

以上本発明の実施例について説明したが、各実施例を構成する素子の極性を反転して電源電圧の正負の方向を反転してもよいことはいうまでもない。また、各実施例を構成する駆動素子や半導体素子には MOSFET やダイオードを用いた例を説明してきた。しかし、当該技術者がこれらと同等の働きをもつ素子であることを知る IGBT やバイポーラトランジスタ、接合形 FET、真空管などにこれらの駆動素子や半導体素子を置き換えることが可能であることはいうまでもない。同様に、各実施例において駆動対象としていたディスプレイパネルにはマトリクス電極を持ち容量性負荷と見なすことができる。プラズマディスプレイパネルや液晶パネル、エレクトロルミネッセンスパネル、電界放射形ディスプレイ（

F E D) パネルなどが適用できることは明らかである。さらに、駆動負荷に容量性インピーダンスを示すブラウン管や蛍光管（液晶ディスプレイのバックライトに用いられるものも含む）なども本発明における駆動負荷となる。

【 0 1 0 2 】

（付記 1） 容量性負荷に接続される出力端子と第 1 の基準電位の間に接続された 1 次コイルと、前記出力端子と第 2 の基準電位の間に接続された 2 次コイルとを有するトランスと、

前記 1 次コイルと直列に接続された第 1 のスイッチ回路と、

前記 2 次コイルと直列に接続された第 2 のスイッチ回路と、

前記出力端子と駆動電源の間に接続された電源スイッチ回路とを備えることを特徴とする容量性負荷駆動回収回路。

【 0 1 0 3 】

（付記 2） 前記出力端子と前記第 1 の基準電位の間に接続された第 3 のスイッチ回路を更に備える付記 1 に記載の容量性負荷駆動回収回路。

【 0 1 0 4 】

（付記 3） 前記第 3 のスイッチ回路は、1 方向性導通素子から構成されている付記 2 に記載の容量性負荷駆動回収回路。

【 0 1 0 5 】

（付記 4） 前記第 2 のスイッチ回路は、1 方向性導通素子から構成されている付記 1 に記載の容量性負荷駆動回収回路。

【 0 1 0 6 】

（付記 5） 前記第 1 の基準電位と前記第 2 の基準電位は等しい電位である付記 1 に記載の容量性負荷駆動回収回路。

【 0 1 0 7 】

（付記 6） 前記 1 次コイルと前記第 1 のスイッチの接続点と第 5 の基準電位の間に接続された第 4 のスイッチ回路を備える付記 1 に記載の容量性負荷駆動回収回路。

【 0 1 0 8 】

（付記 7） 前記 1 次コイルと前記第 1 のスイッチの接続点と前記駆動電源の



間に接続された第 4 のスイッチ回路を備える付記 1 に記載の容量性負荷駆動回収回路。

【 0 1 0 9 】

(付記 8) 前記第 4 のスイッチ回路は、1 方向性導通素子から構成されている付記 6 又は 7 に記載の容量性負荷駆動回収回路。

【 0 1 1 0 】

(付記 9) 前記電源スイッチ回路が接続される経路に接続されたインピーダンス回路を更に備える付記 1 に記載の容量性負荷駆動回収回路。

【 0 1 1 1 】

(付記 1 0) 容量性負荷に接続される出力端子と第 1 の基準電位の間に直列に接続された第 1 のスイッチ回路、コイル及び第 2 のスイッチ回路と、

前記第 1 のスイッチ回路と前記コイルの接続点と前記第 1 の基準電位の間に接続された第 3 のスイッチ回路と、

前記コイルと前記第 2 のスイッチ回路の接続点と前記出力端子の間に接続された第 4 のスイッチ回路と、

前記出力端子と駆動電源の間に接続された電源スイッチ回路とを備えることを特徴とする容量性負荷駆動回収回路。

【 0 1 1 2 】

(付記 1 1) 前記第 3 のスイッチ回路は、1 方向性導通素子から構成されている付記 1 0 に記載の容量性負荷駆動回収回路。

【 0 1 1 3 】

(付記 1 2) 前記第 4 のスイッチ回路は、1 方向性導通素子から構成されている付記 1 0 に記載の容量性負荷駆動回収回路。

【 0 1 1 4 】

(付記 1 3) 前記電源スイッチ回路が接続される経路に接続されたインピーダンス回路を更に備える付記 1 0 に記載の容量性負荷駆動回収回路。

【 0 1 1 5 】

(付記 1 4) 複数の容量性負荷と、  
第 1 の駆動電源と、

第 2 の駆動電源と、

前記第 1 の駆動電源と前記第 2 の駆動電源の間に直列に接続され、前記複数の容量性負荷をそれぞれ駆動し、接続点が前記容量性負荷に接続された複数の第 1 及び第 2 の駆動素子の組みと、を備え、

前記第 1 と第 2 の駆動電源の一方が、付記 1 から 1 3 のいずれか 1 項に記載された容量性負荷駆動回収回路であることを特徴とする容量性負荷駆動回路。

【 0 1 1 6 】

(付記 1 5) 前記第 1 と第 2 の駆動電源の一方として使用される前記容量性負荷駆動回収回路の前記電源スイッチ回路が接続される経路に設けられ、前記駆動電源から流れる電流を検出する電流検出回路と、

前記電流検出回路の検出結果に応じて前記容量性負荷駆動回収回路の各スイッチ回路を制御する制御回路とを備える付記 1 4 に記載の容量性負荷駆動回路。

【 0 1 1 7 】

(付記 1 6) 前記複数の容量性負荷のそれぞれの駆動状態の変化情報から駆動回路の消費電力予想値を演算し、演算した前記消費電力予想値に応じて前記容量性負荷駆動回収回路の各スイッチ回路を制御する制御回路とを備える付記 1 4 に記載の容量性負荷駆動回路。

【 0 1 1 8 】

(付記 1 7) 当該容量性負荷駆動回路の一部の温度を検出する温度検出回路を備え、前記温度検出回路の検出した温度に応じて前記容量性負荷駆動回収回路の各スイッチ回路を制御する制御回路とを備える付記 1 4 に記載の容量性負荷駆動回路。

【 0 1 1 9 】

(付記 1 8) 第 1 の方向に伸びる複数の走査電極と、前記走査電極と交差するように配置された複数のアドレス電極とを有するプラズマディスプレイパネルと、前記複数の走査電極を駆動する走査電極駆動回路と、前記複数のアドレス電極を駆動するアドレス電極駆動回路とを備えるプラズマディスプレイ装置であって、

前記アドレス電極駆動回路の電源は、付記 1 から 1 3 のいずれか 1 項に記載さ

れた容量性負荷駆動回収回路であることを特徴とするプラズマディスプレイ装置。

【 0 1 2 0 】

(付記 1 9) 複数の容量性負荷と、

第 1 の駆動電源と、

第 2 の駆動電源と、

前記第 1 の駆動電源と前記第 2 の駆動電源の間に直列に接続され、接続点が前記複数の容量性負荷にそれぞれ接続された複数組みの第 1 及び第 2 の駆動素子を有する駆動回路と、を備え、

前記第 1 と第 2 の駆動電源の一方が、無効電力回収回路を備える電力回収電源であり、

前記電力回収電源は、前記駆動回路での消費電力を検出する電力検出回路と、

前記電力検出回路の検出結果に応じて前記無効電力回収回路の動作を制御する制御回路とを備えることを特徴とする容量性負荷駆動回路。

【 0 1 2 1 】

(付記 2 0) 前記電力検出回路は、前記電力回収電源に供給される電流を検出する電流検出回路を備え、前記電流検出回路の検出結果に応じて前記駆動回路での消費電力を演算する付記 1 9 に記載の容量性負荷駆動回路。

【 0 1 2 2 】

(付記 2 1) 前記電力検出回路は、前記複数の容量性負荷のそれぞれの駆動状態の変化情報から駆動回路の消費電力を演算する付記 1 9 に記載の容量性負荷駆動回路。

【 0 1 2 3 】

(付記 2 2) 前記電力検出回路は、前記駆動回路の一部の温度を検出する温度検出回路を備え、前記温度検出回路の検出した温度に応じて前記駆動回路での消費電力を演算する付記 1 9 に記載の容量性負荷駆動回路。

【 0 1 2 4 】

(付記 2 3) 2 つの駆動端子を有する容量性負荷と、

第 1 の駆動電源と、

第 2 の駆動電源と、

前記容量性負荷の 2 つの端子間に直列に接続された第 1 のスイッチ回路、コイル及び第 2 のスイッチ回路と、

前記容量性負荷の一方の端子と前記第 1 の駆動電源の一方の端子間に接続された第 3 のスイッチ回路と、

前記容量性負荷の一方の端子と前記第 1 の駆動電源の他方の端子間に接続された第 4 のスイッチ回路と、

前記第 1 のスイッチと前記コイルの接続点と、前記第 1 の駆動電源の他方の端子間に接続された第 5 のスイッチ回路と、

前記容量性負荷の他方の端子と前記第 2 の駆動電源の一方の端子間に接続された第 6 のスイッチ回路と、

前記容量性負荷の他方の端子と前記第 2 の駆動電源の他方の端子間に接続された第 7 のスイッチ回路と、

前記第 2 のスイッチと前記コイルの接続点と、前記第 2 の駆動電源の他方の端子間に接続された第 8 のスイッチ回路と、を備えることを特徴とする容量性負荷駆動回路。

【 0 1 2 5 】

(付記 2 4) 2 つの駆動端子を有する容量性負荷と、

第 1 の駆動電源と、

第 2 の駆動電源と、

前記容量性負荷の一方の端子と前記第 1 の駆動電源の一方の端子間に接続された第 1 のスイッチ回路と、

前記容量性負荷の一方の端子と前記第 1 の駆動電源の他方の端子間に接続された第 2 のスイッチ回路と、

前記容量性負荷の一方の端子と前記第 1 の駆動電源の他方の端子間に直列に接続されたトランスの一方のコイル及び第 3 のスイッチ回路と、

前記第 1 の駆動電源の 2 つの端子を選択的に第 1 の基準電位に接続する第 4 のスイッチ回路と、

前記第 2 のスイッチ回路に並列に接続された第 5 のスイッチ回路と、

前記第 3 のスイッチ回路に並列に接続された第 6 のスイッチ回路と、

前記容量性負荷の他方の端子と前記第 2 の駆動電源の一方の端子間に接続された第 7 のスイッチ回路と、

前記容量性負荷の他方の端子と前記第 2 の駆動電源の他方の端子間に接続された第 8 のスイッチ回路と、

前記容量性負荷の他方の端子と前記第 2 の駆動電源の他方の端子間に直列に接続されたトランスの他方のコイル及び第 9 のスイッチ回路と、

前記第 2 の駆動電源の 2 つの端子を選択的に第 1 の基準電位に接続する第 1 0 のスイッチ回路と、

前記第 8 のスイッチ回路に並列に接続された第 1 1 のスイッチ回路と、

前記第 9 のスイッチ回路に並列に接続された第 1 2 のスイッチ回路と、を備えることを特徴とする容量性負荷駆動回路。

#### 【 0 1 2 6 】

(付記 2 5) 交互に配置され、第 1 の方向に伸びる複数の第 1 及び第 2 の電極と、前記第 1 及び第 2 の電極と交差するように配置された複数のアドレス電極とを有するプラズマディスプレイパネルと、前記複数の第 1 の電極を駆動する第 1 電極駆動回路と、前記複数の第 2 の電極を駆動する第 2 電極駆動回路と、前記複数のアドレス電極を駆動するアドレス電極駆動回路とを備え、

前記第 2 電極駆動回路は、前記複数の第 2 の電極に順次走査パルス印加する走査回路と、前記走査回路を介して前記複数の第 2 の電極に同時にサステインパルス印加する共通駆動回路とを備え、

前記第 1 電極駆動回路と前記共通駆動回路は、前記複数の第 1 及び第 2 の電極に交互に前記サステインパルス印加するプラズマディスプレイ装置であって、

前記第 1 電極駆動回路と前記共通駆動回路は、付記 2 3 又は 2 4 に記載された容量性負荷駆動回路であることを特徴とするプラズマディスプレイ装置。

#### 【 0 1 2 7 】

(付記 2 6) 少なくとも容量性負荷を構成する一対の電極を備え、前記一対の電極の間にて放電を生じせしめるプラズマディスプレイパネルと、前記一対の電極の少なくとも一方に接続されて、前記容量性負荷を駆動する容量性負荷駆動

回路とを有するプラズマディスプレイ装置であって、

前記容量性負荷駆動回路は、前記一方の電極に接続される出力端子と基準電位との間に接続されたコイル回路を有してなり、

前記容量性負荷に蓄えられたエネルギーを放電するに際し、前記コイル回路に流れる電流が増大する間、前記エネルギーを前記コイル回路に蓄積すると共に、前記エネルギーを前記コイル回路にて維持し、

前記容量性負荷を再度充電する際には、前記コイル回路に流れる電流が減少する間、前記蓄積されたエネルギーを放出するように制御することを特徴とするプラズマディスプレイ装置。

【 0 1 2 8 】

(付記 2 7) 前記容量性負荷の放電後、再度充電するまでの間、前記容量性負荷を放電状態に維持するためのスイッチ回路と、前記容量性負荷の充電後、再度放電するまでの間、前記容量性負荷を充電状態に維持するための電源スイッチ回路を有することを特徴とする付記 2 6 に記載のプラズマディスプレイ装置。

【 0 1 2 9 】

(付記 2 8) 前記スイッチ回路は、1 方向性導通素子から構成されていることを特徴とする付記 2 7 に記載のプラズマディスプレイ装置。

【 0 1 3 0 】

(付記 2 9) 前記電源スイッチ回路は、前記容量性負荷の充電が完了する前に導通状態となるよう制御されることを特徴とする付記 2 7 に記載のプラズマディスプレイ装置。

【 0 1 3 1 】

(付記 3 0) 前記容量性負荷に蓄えられたエネルギーを放電するに際し、前記エネルギーを前記一方の電極を介して前記コイル回路に蓄積し、

前記容量性負荷を再度充電する際には、前記放出されたエネルギーを前記一方の電極を介して前記容量性負荷に供給することを特徴とする付記 2 7 に記載のプラズマディスプレイ装置。

【 0 1 3 2 】

(付記 3 1) 前記容量性負荷駆動回路は、前記一対の電極の前記一方と他方

の間に接続されてなり、

前記容量性負荷に蓄えられたエネルギーを放電するに際し、前記エネルギーを前記一方の電極を介して前記コイル回路に蓄積し、

前記容量性負荷を再度充電する際には、前記放出されたエネルギーを前記他方の電極を介して前記容量性負荷に供給することを特徴とする付記 2 7 に記載のプラズマディスプレイ装置。

#### 【 0 1 3 3 】

(付記 3 2) 複数の走査電極と、前記走査電極と交差するように配置された複数のアドレス電極とを有するプラズマディスプレイパネルと、前記複数の走査電極を駆動する走査電極駆動回路と、前記複数のアドレス電極を駆動するアドレス電極駆動回路とを備えるプラズマディスプレイ装置であって、

前記アドレス電極駆動回路は、前記アドレス電極に接続される出力端子と基準電位との間に接続されたコイル回路を有してなり、

前記アドレス電極と前記走査電極からなる容量性負荷に蓄えられたエネルギーを放電するに際し、前記コイル回路に流れる電流が増大する間、前記エネルギーを前記コイル回路に蓄積すると共に、前記エネルギーを前記コイル回路にて維持し、

前記容量性負荷を再度充電する際には、前記コイル回路に流れる電流が減少する間、前記蓄積されたエネルギーを放出するように制御することを特徴とするプラズマディスプレイ装置。

#### 【 0 1 3 4 】

#### 【発明の効果】

本発明によれば、ディスプレイデバイスを高速に駆動する駆動回路における電力消費（発熱）が抑制できると共に、回路コストの増加を抑えることができる。本発明の適用により、負荷容量の大きい 4 0 型クラス以上のプラズマディスプレイや、アドレス駆動パルスレートの高い SVGA（800×600 ドット）、XGA（1024×768 ドット）、SXGA（1280×1024 ドット）といった高解像度プラズマディスプレイ、TV・HDTV などといった高輝度工階調プラズマテレビジョンの小型低消費電力化・低コスト化を推進することができる。また、動画表示中の偽輪郭対策に伴うアドレス駆動パルスレートの増加による

消費電力の増加も抑えることができる。

【図面の簡単な説明】

【図 1】

三電極面放電交流駆動型プラズマディスプレイパネルを概略的に示すブロック図である。

【図 2】

図 1 に示すプラズマディスプレイパネルの電極構造を説明するための断面図である。

【図 3】

図 1 に示すプラズマディスプレイパネルを用いたプラズマディスプレイ装置の全体構成を示すブロック図である。

【図 4】

図 1 に示すプラズマディスプレイ装置の駆動波形の一例を示す図である。

【図 5】

図 3 に示すプラズマディスプレイ装置に使用する I C の一例を示すブロック回路図である。

【図 6】

電力回収方式を用いた従来のプラズマディスプレイパネルの駆動回路の一例を示すブロック図である。

【図 7】

従来のプラズマディスプレイパネルの駆動回路の他の例を示すブロック図である。

【図 8】

本発明の第 1 実施例の容量性負荷駆動回路の構成を示すブロック図である。

【図 9】

本発明の第 2 実施例の P D P 装置の全体構成を示すブロック図である。

【図 1 0】

第 2 実施例のアドレスドライバの構成を示す図である。

【図 1 1】



第 2 実施例のアドレスドライバ電力回収電源の構成を示す図である。

【図 1 2】

第 2 実施例のアドレスドライバ電力回収電源の動作を示すタイムチャートである。

【図 1 3】

本発明の第 3 実施例の P D P 装置のアドレスドライバ電力回収電源の構成を示す図である。

【図 1 4】

本発明の第 4 実施例の P D P 装置のアドレスドライバ電力回収電源の構成を示す図である。

【図 1 5】

本発明の第 5 実施例の容量性負荷駆動回路の構成を示すブロック図である。

【図 1 6】

第 5 実施例の容量性負荷駆動回路の動作を示すタイムチャートである。

【図 1 7】

本発明の第 6 実施例の P D P 装置のアドレスドライバ電力回収電源の構成を示す図である。

【図 1 8】

電流検出回路の構成例を示す図である。

【図 1 9】

本発明の第 7 実施例の P D P 装置のアドレスドライバ電力回収電源の構成を示す図である。

【図 2 0】

本発明の第 8 実施例の P D P 装置の構成を示すブロック図である。

【図 2 1】

本発明の第 9 実施例の P D P 装置のアドレスドライバ電力回収電源の構成を示す図である。

【図 2 2】

本発明の第 1 0 実施例の P D P 装置の共通ドライバの構成を示す図である。

【図 2 3】

第 1 0 実施例の P D P 装置の共通ドライバの動作を示すタイムチャートである

。

【図 2 4】

本発明の第 1 1 実施例の P D P 装置の共通ドライバの構成を示す図である。

【図 2 5】

第 1 1 実施例の P D P 装置の共通ドライバの動作を示すタイムチャートである

。

【符号の説明】

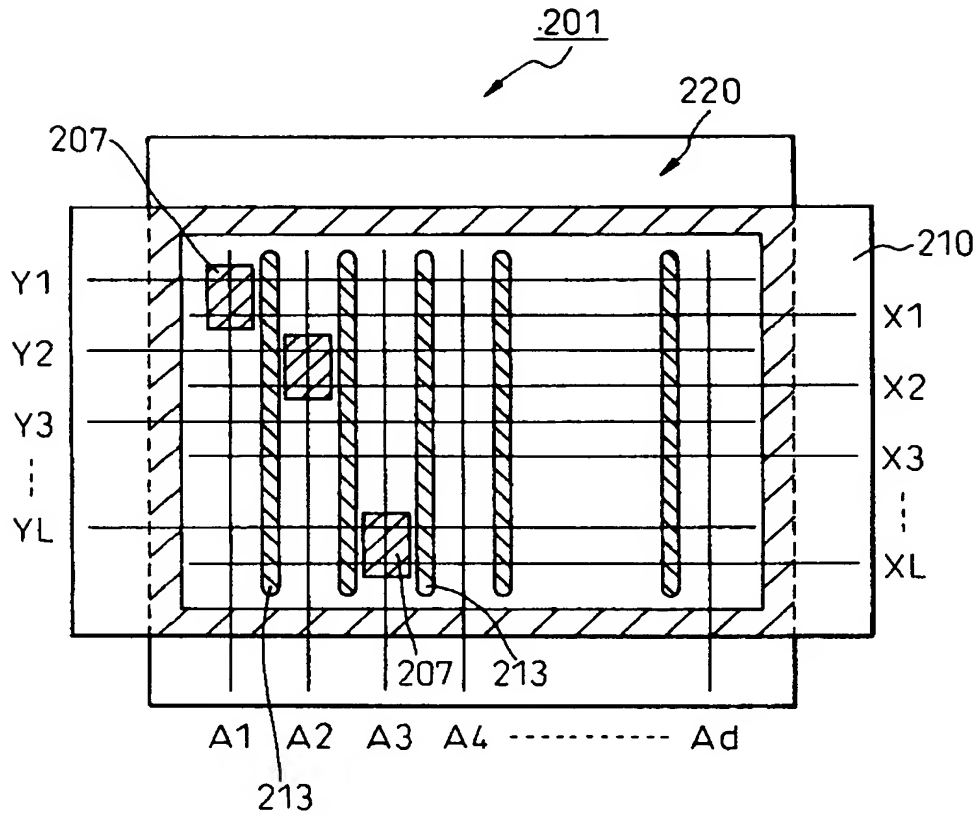
- 1 … 駆動電源
- 2 … 電源スイッチ回路
- 3 … トランス
- 4 … 第 1 のスイッチ回路
- 5 … 負荷容量
- 6 … 第 3 スイッチ回路（1 方向性導通素子）
- 7 … 第 2 スイッチ回路（1 方向性導通素子）
- 3 1 … 1 次コイル
- 3 2 … 2 次コイル

【書類名】 図面

【図 1】

図 1

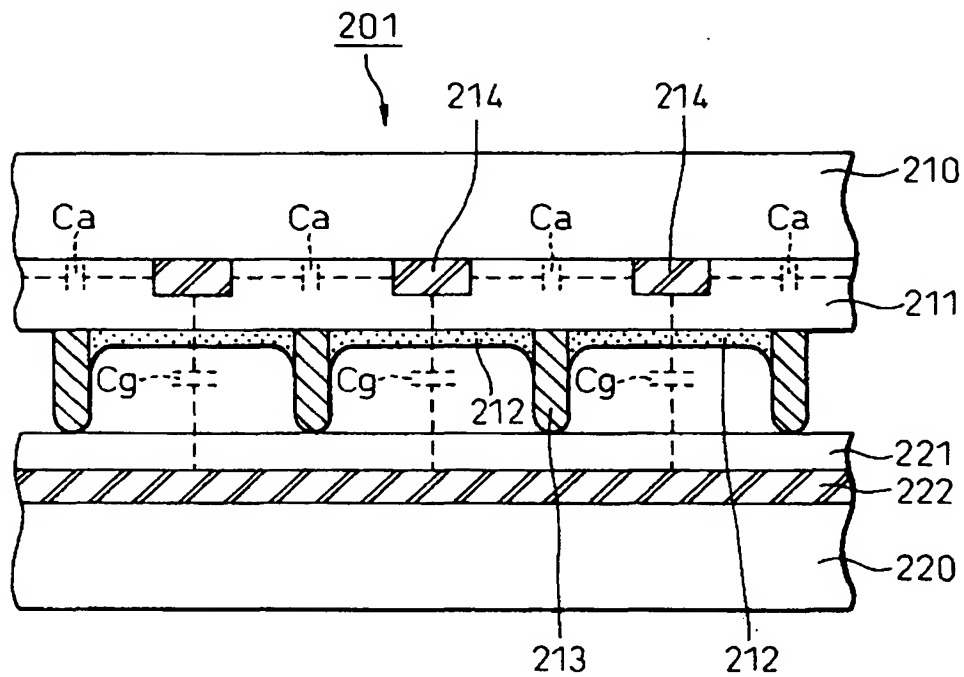
三電極面放電交流駆動型プラズマディスプレイパネルを  
概略的に示すブロック図



【図 2】

図 2

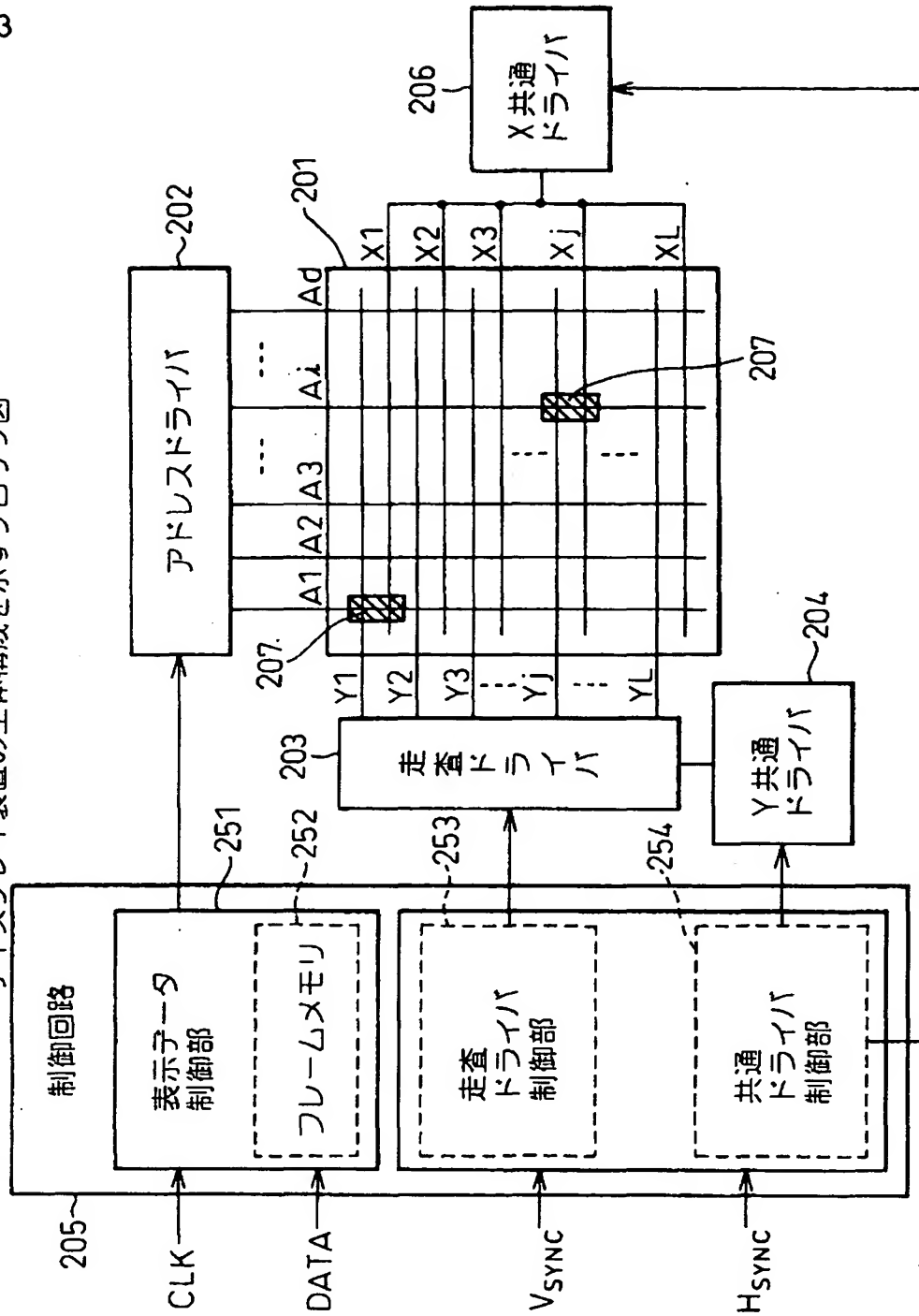
図 1 に示すプラズマディスプレイパネルの電極構造を説明するための断面図



【図3】

図3

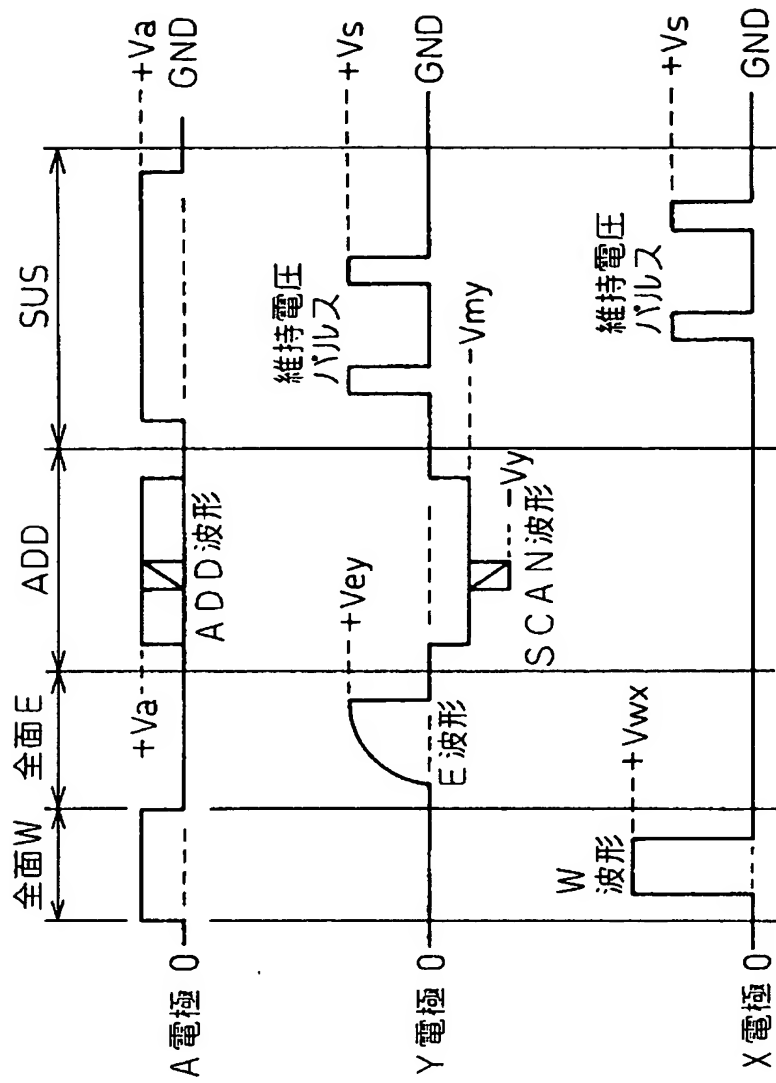
図1に示すブラズマディスプレイ装置の全体構成を示すブロック図



【図 4】

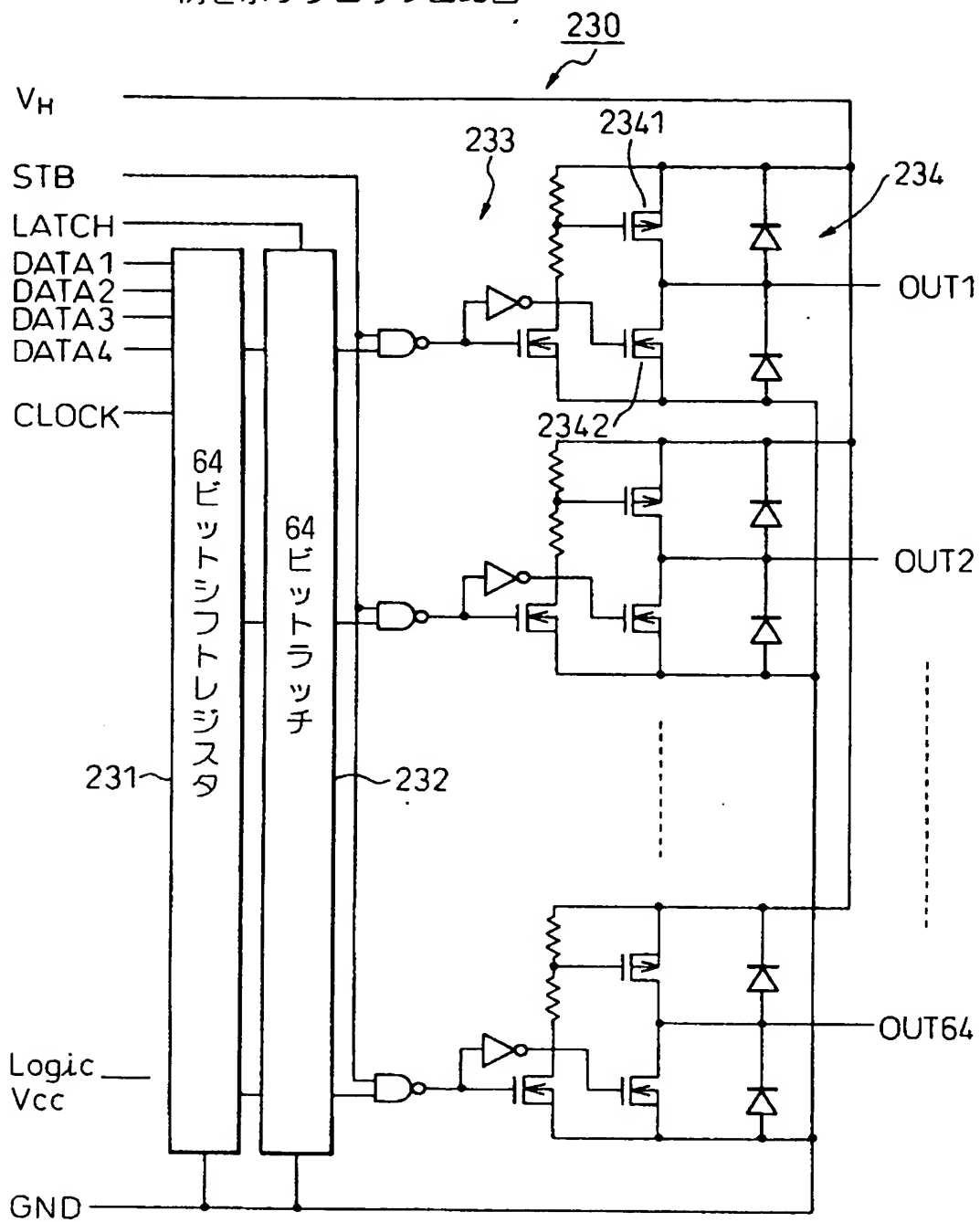
図 4

図 3 に示すプラズマディスプレイ装置の駆動波形の一例を示す図



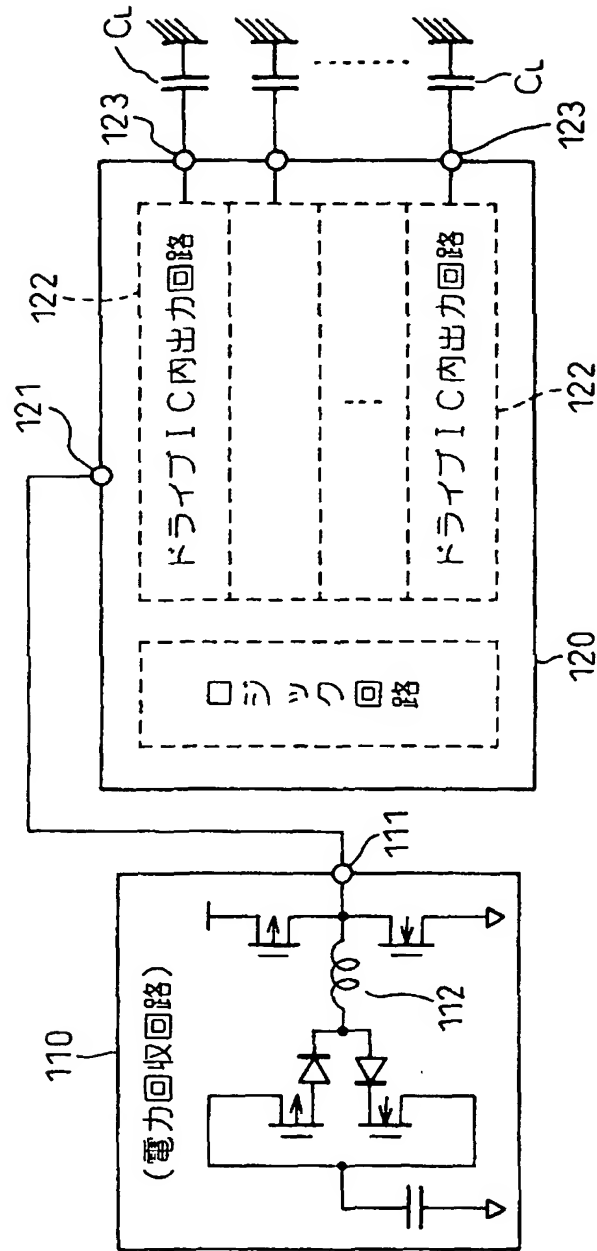
【図 5】

図 5 図 3 に示すプラズマディスプレイ装置に使用する IC の一例を示すブロック回路図



【図 6】

図 6  
電力回収方式を用いた従来のブラズマディスプレイパネルの  
駆動回路の一例を示すブロック図

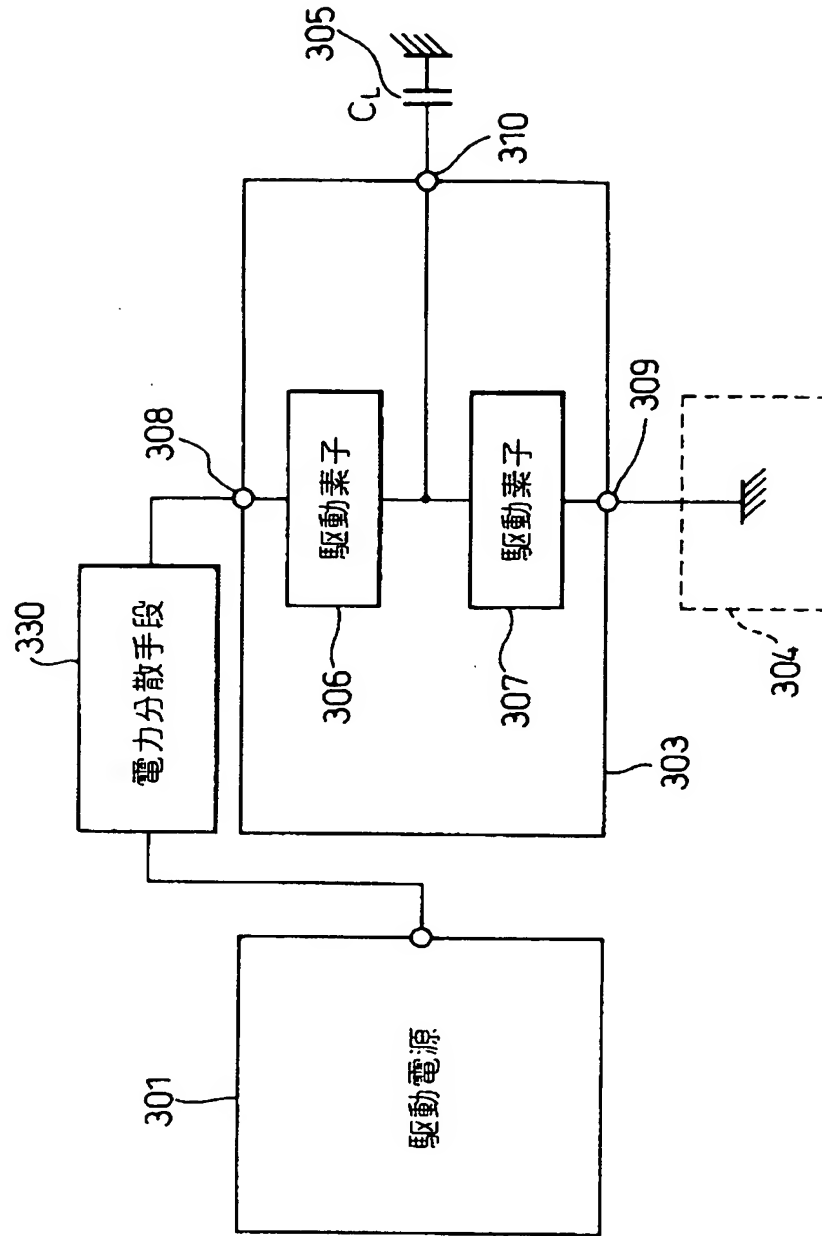




【図 7】

図 7

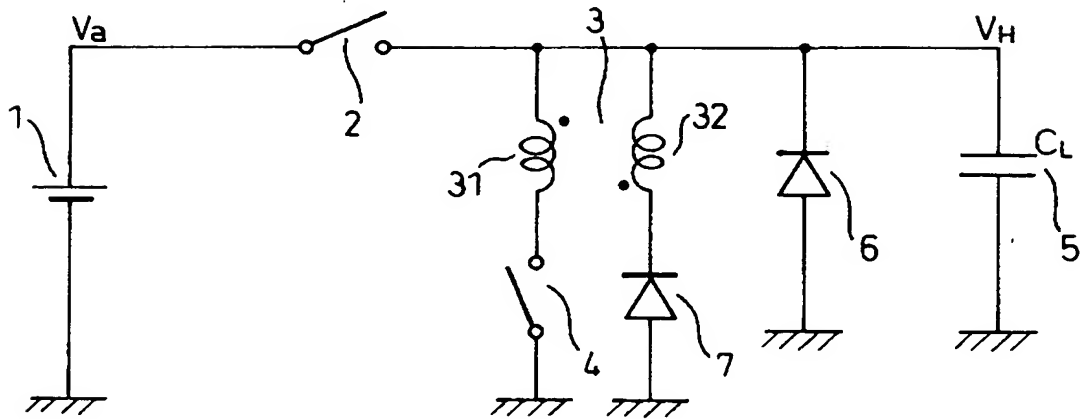
従来のプラズマディスプレイ装置の駆動回路の他の例を示すブロック図



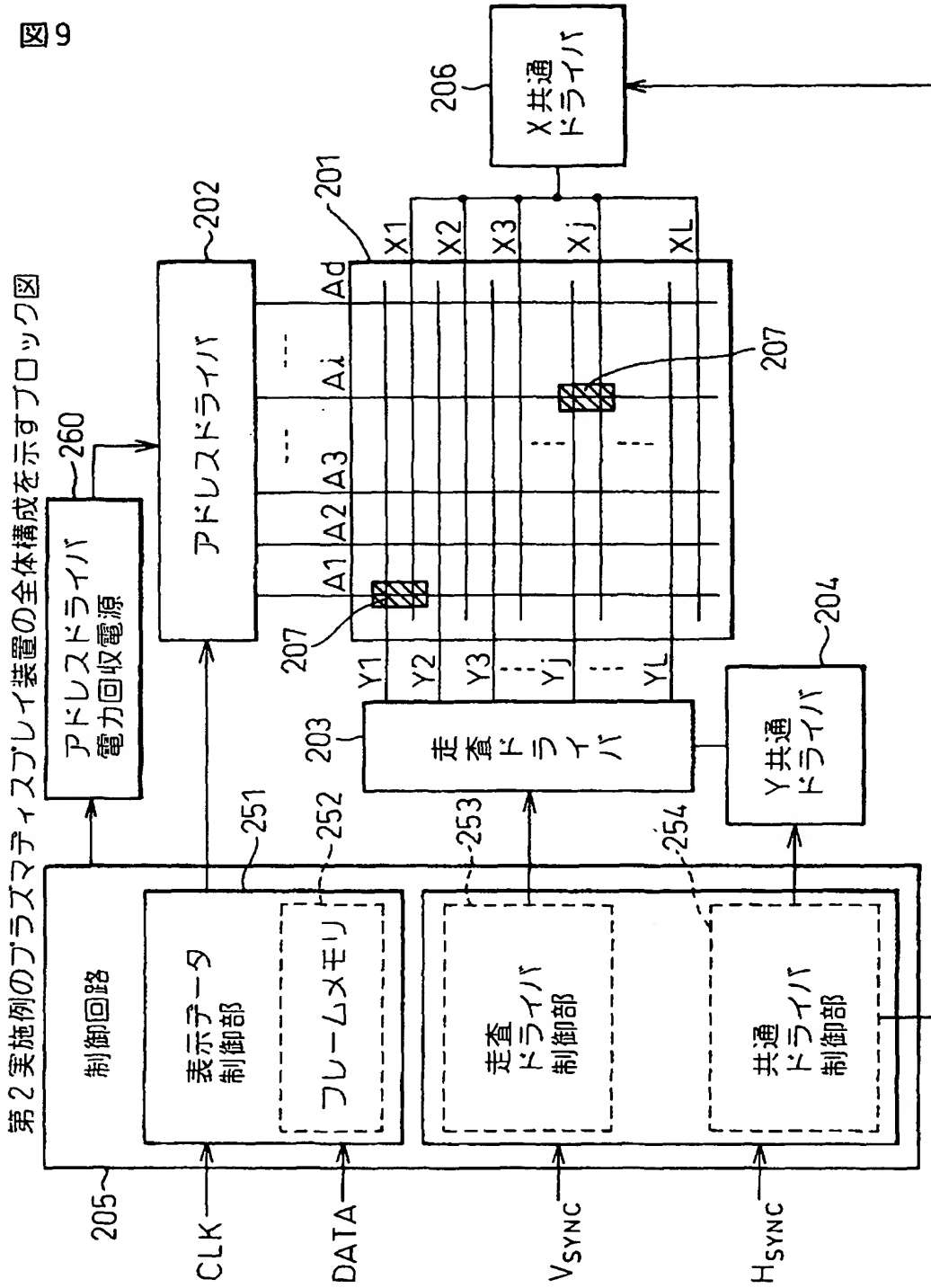
【図 8】

図 8

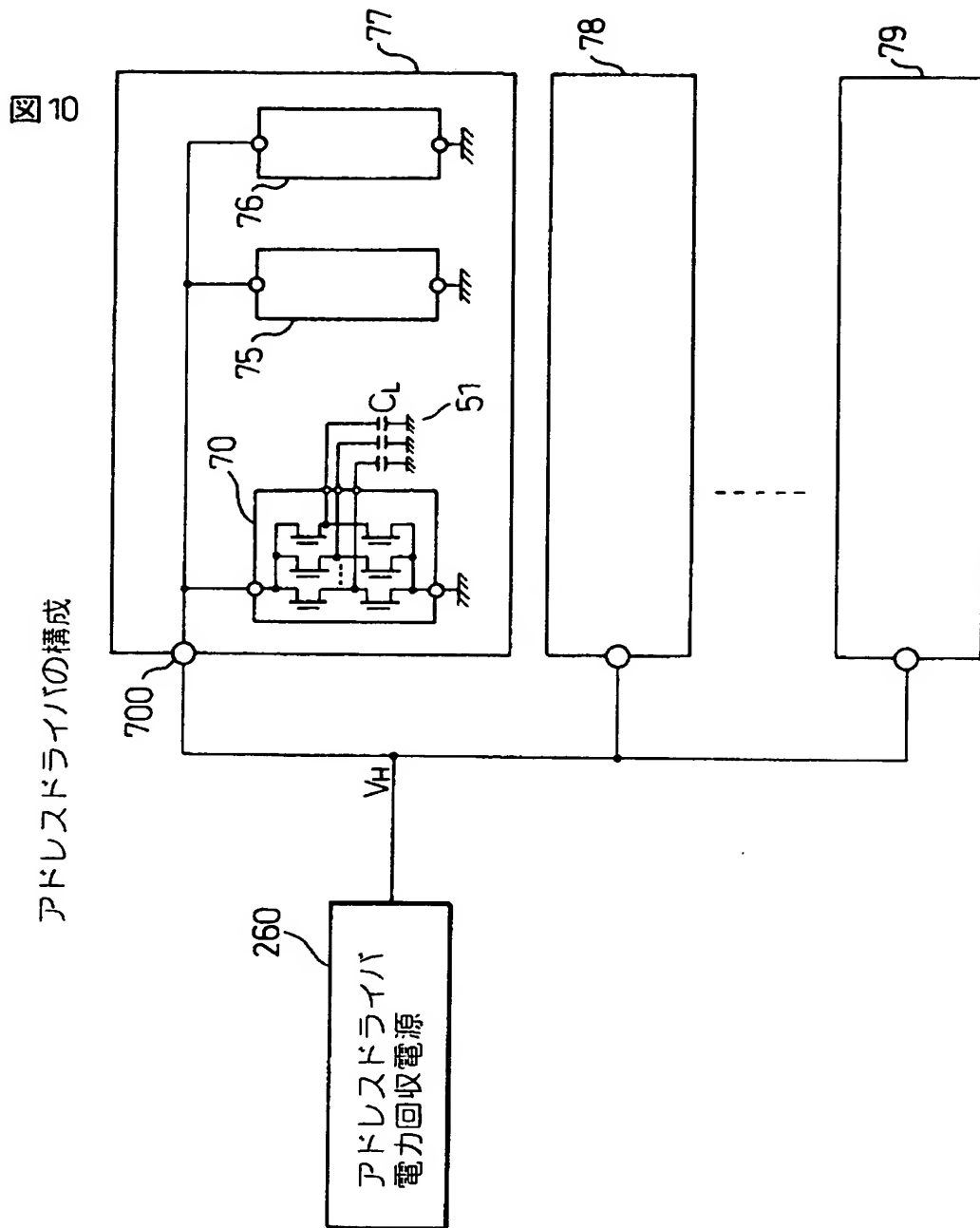
本発明の第 1 実施例の容量性負荷駆動回路



【図9】



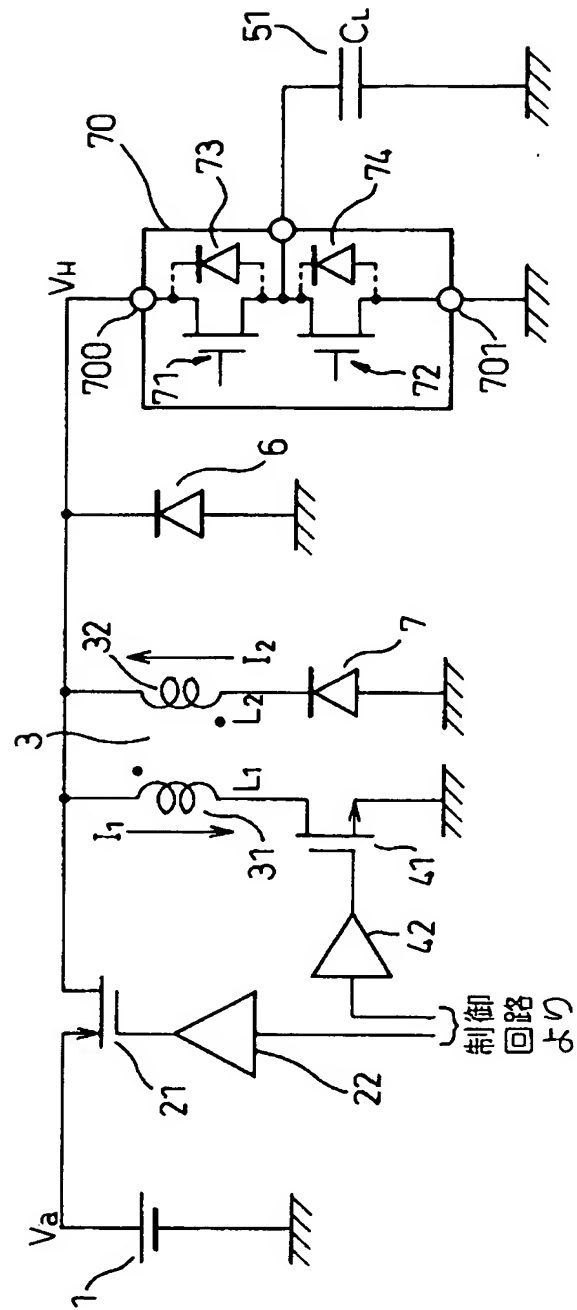
【図10】



【図 1 1】

图 11

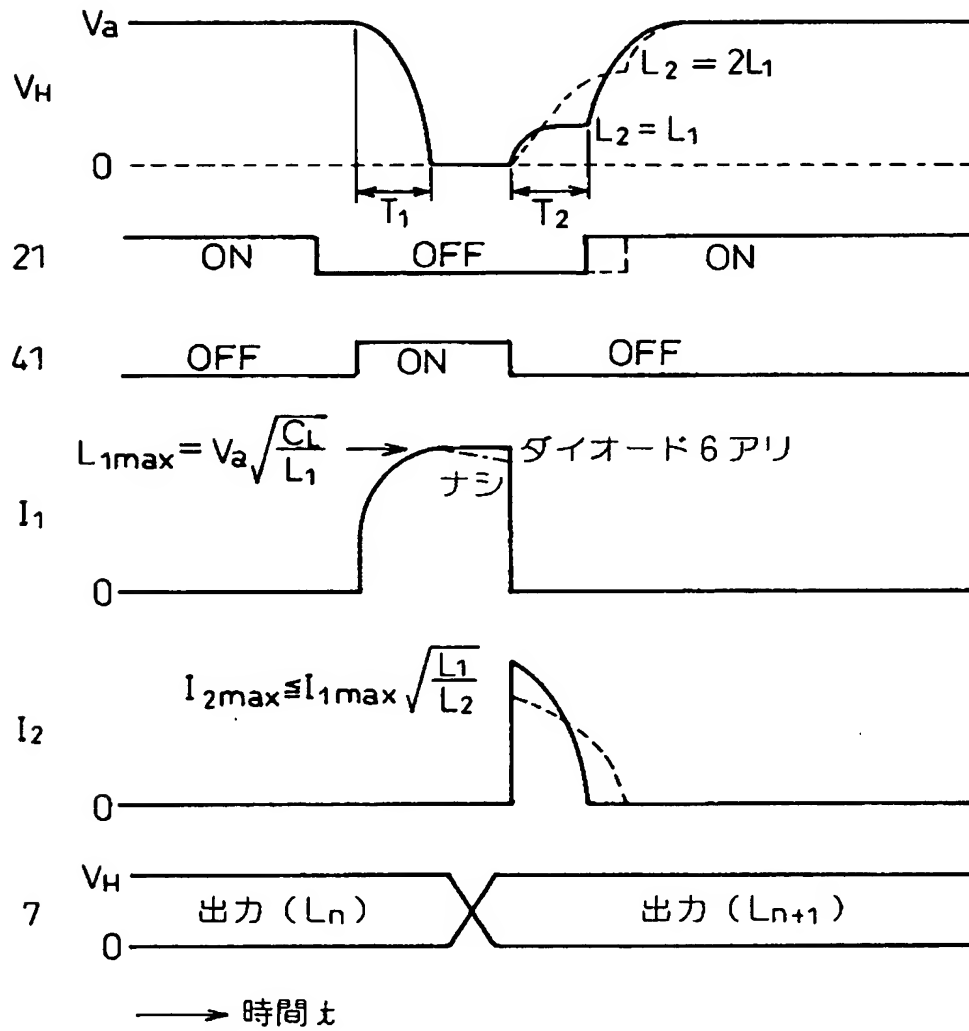
## 第2実施例のアドレスタライバ電力回収電源の構成



【図 1 2】

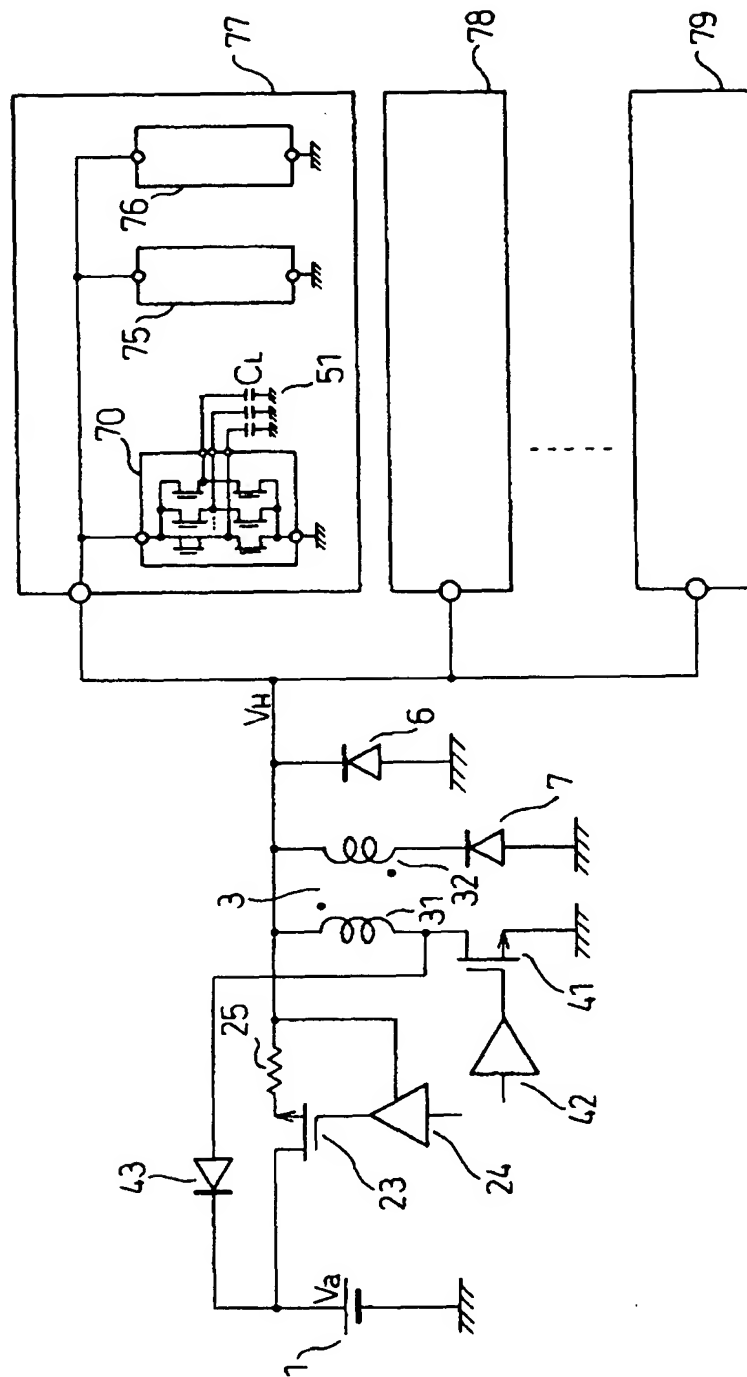
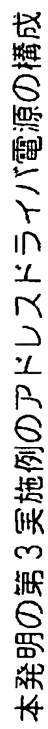
図 12

第 2 実施例の回路動作



【圖 13】

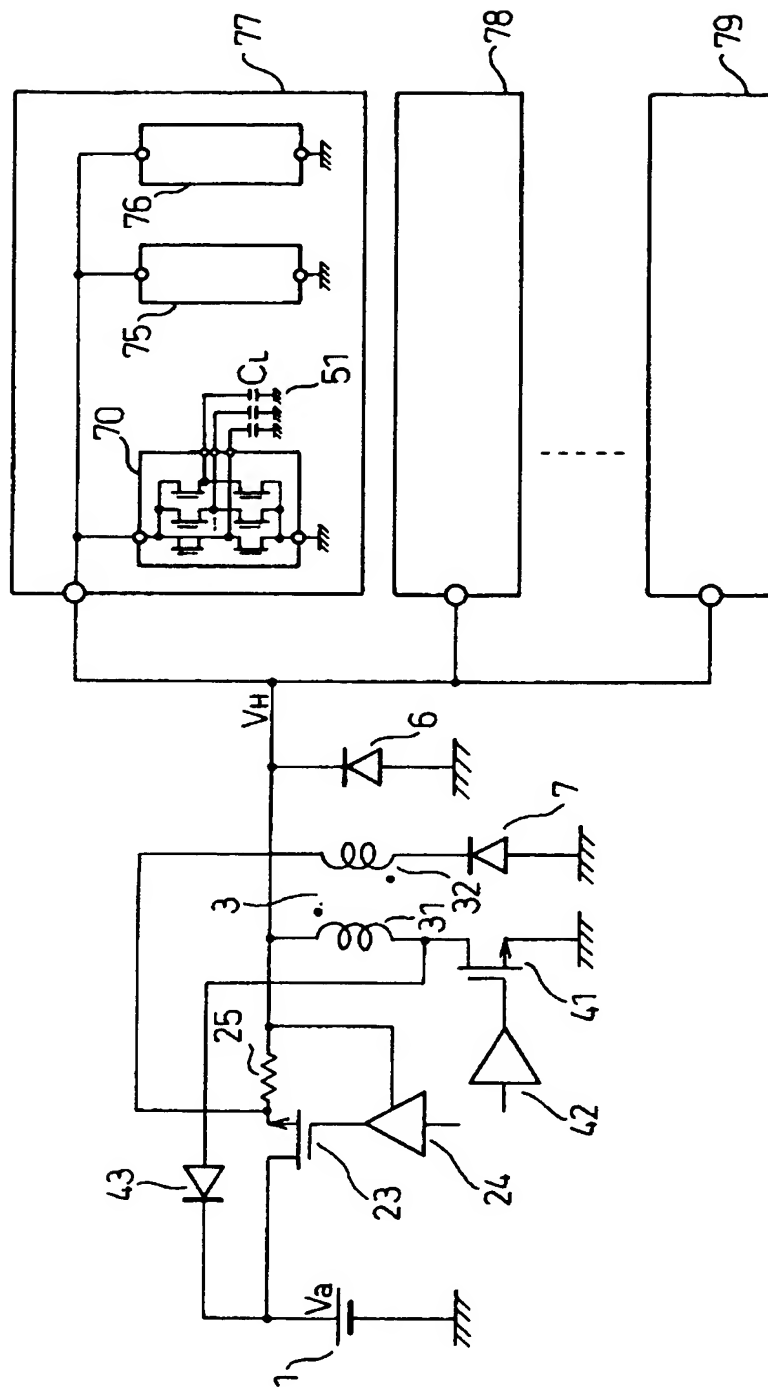
图 13



【図 14】

図 14

本発明の第 4 実施例のアドレスドライバ電源の構成

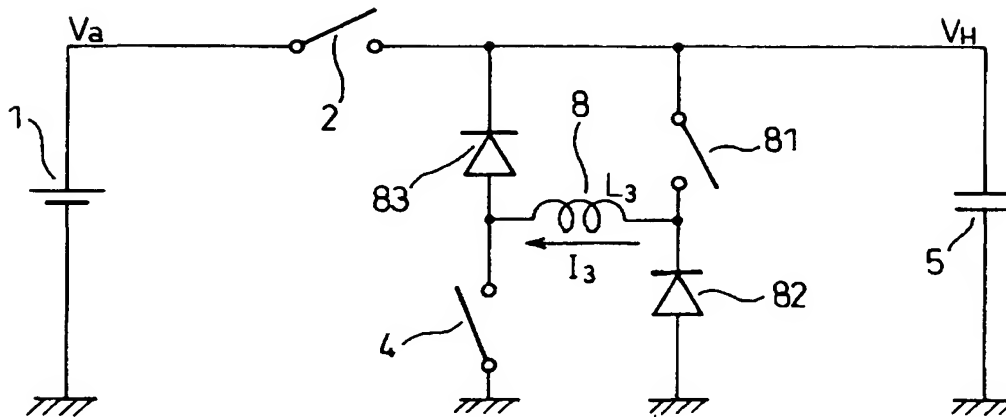




【図 1 5】

図 15

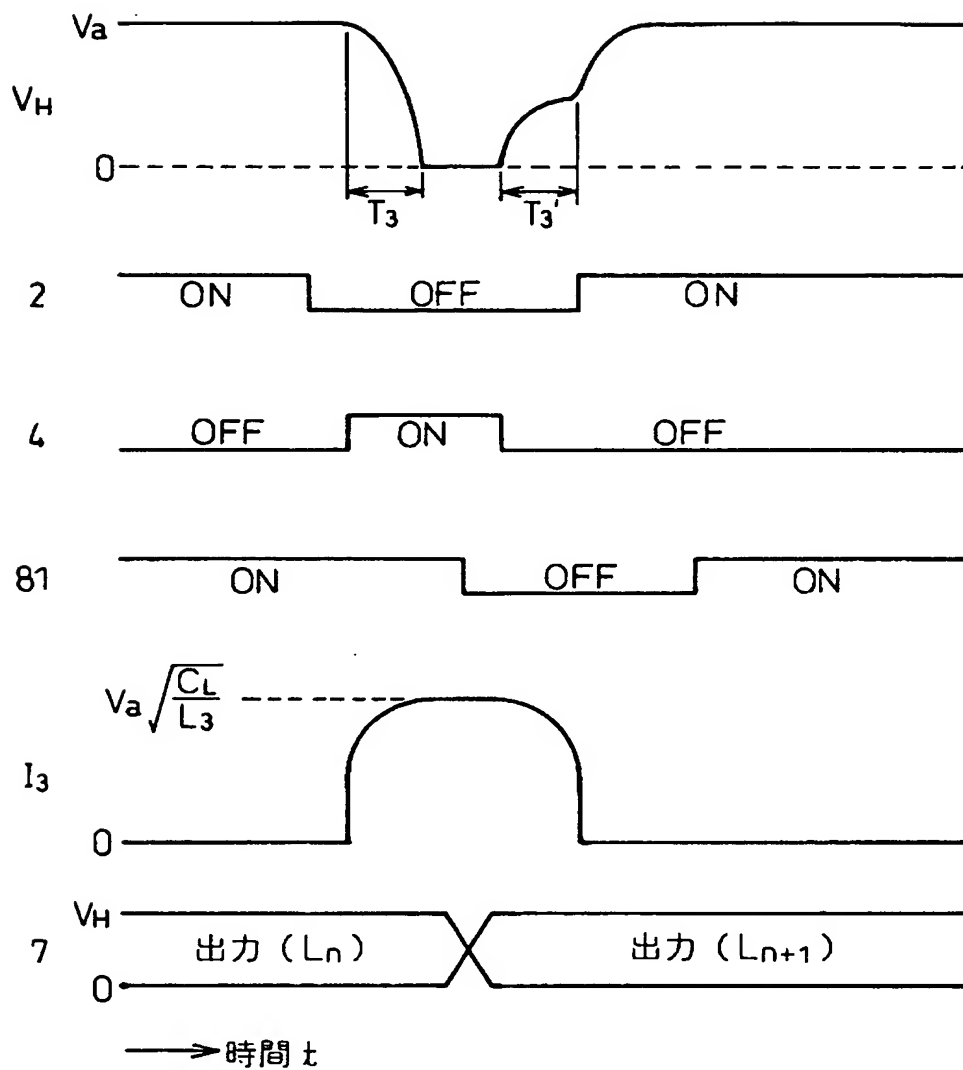
本発明の第 5 実施例の容量性負荷回路の構成



【図 1 6】

図16

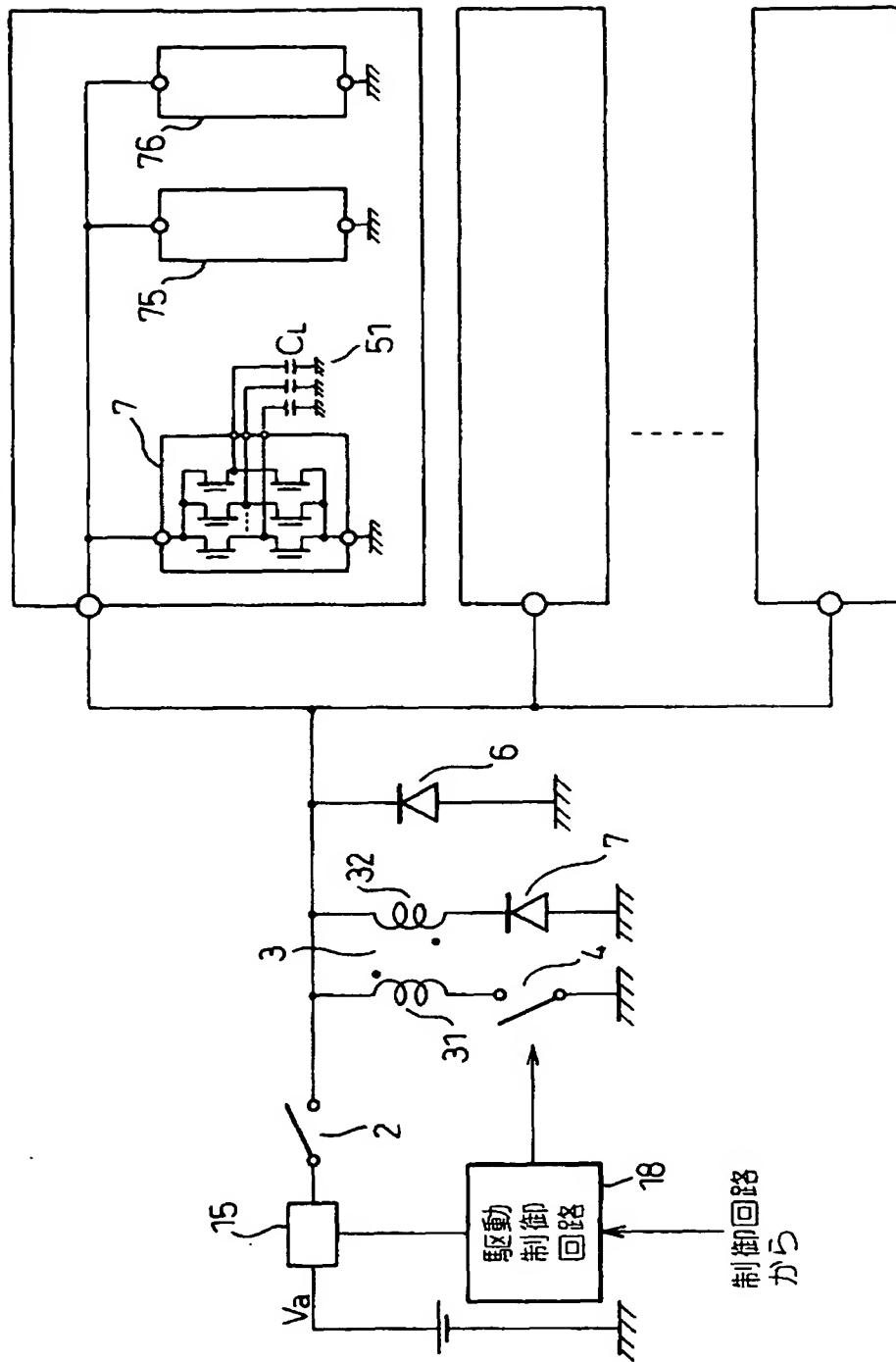
第 5 実施例の動作



【図 17】

図 17

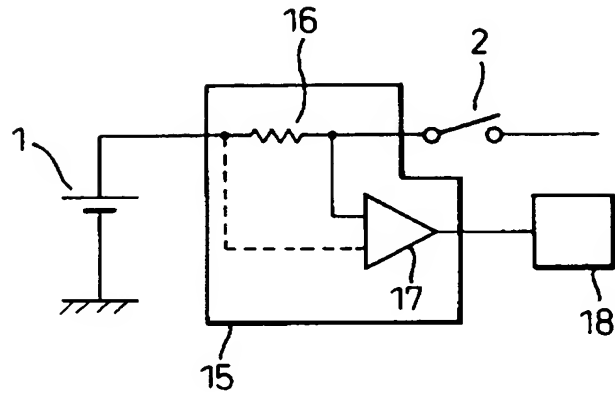
本発明の第 6 実施例のアドレスタライバ電源の構成



【図 1 8】

図18

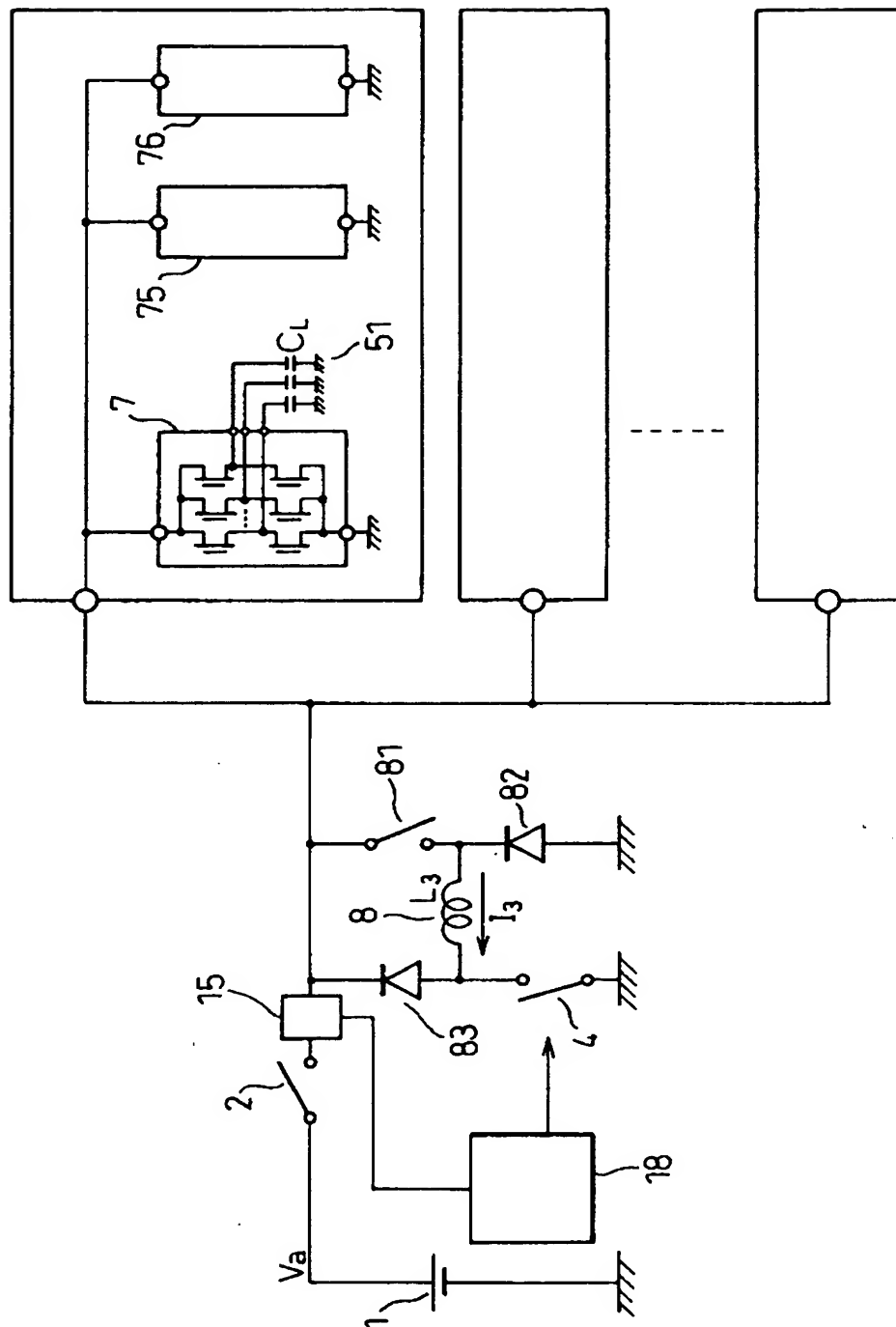
電流検出回路の例



【図 19】

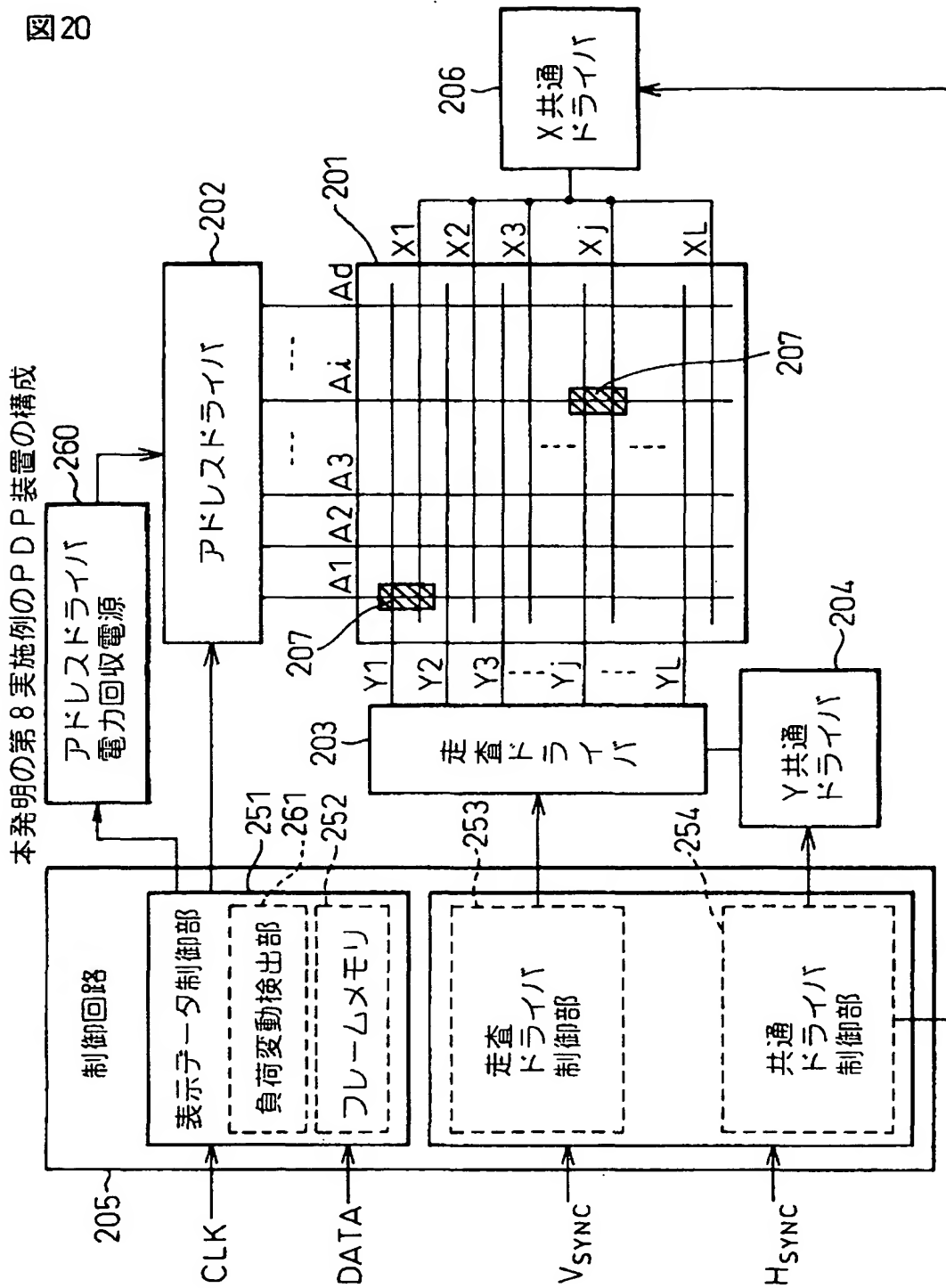
图 19

## 本発明の第7実施例のアドレシバ電源の構成



【図20】

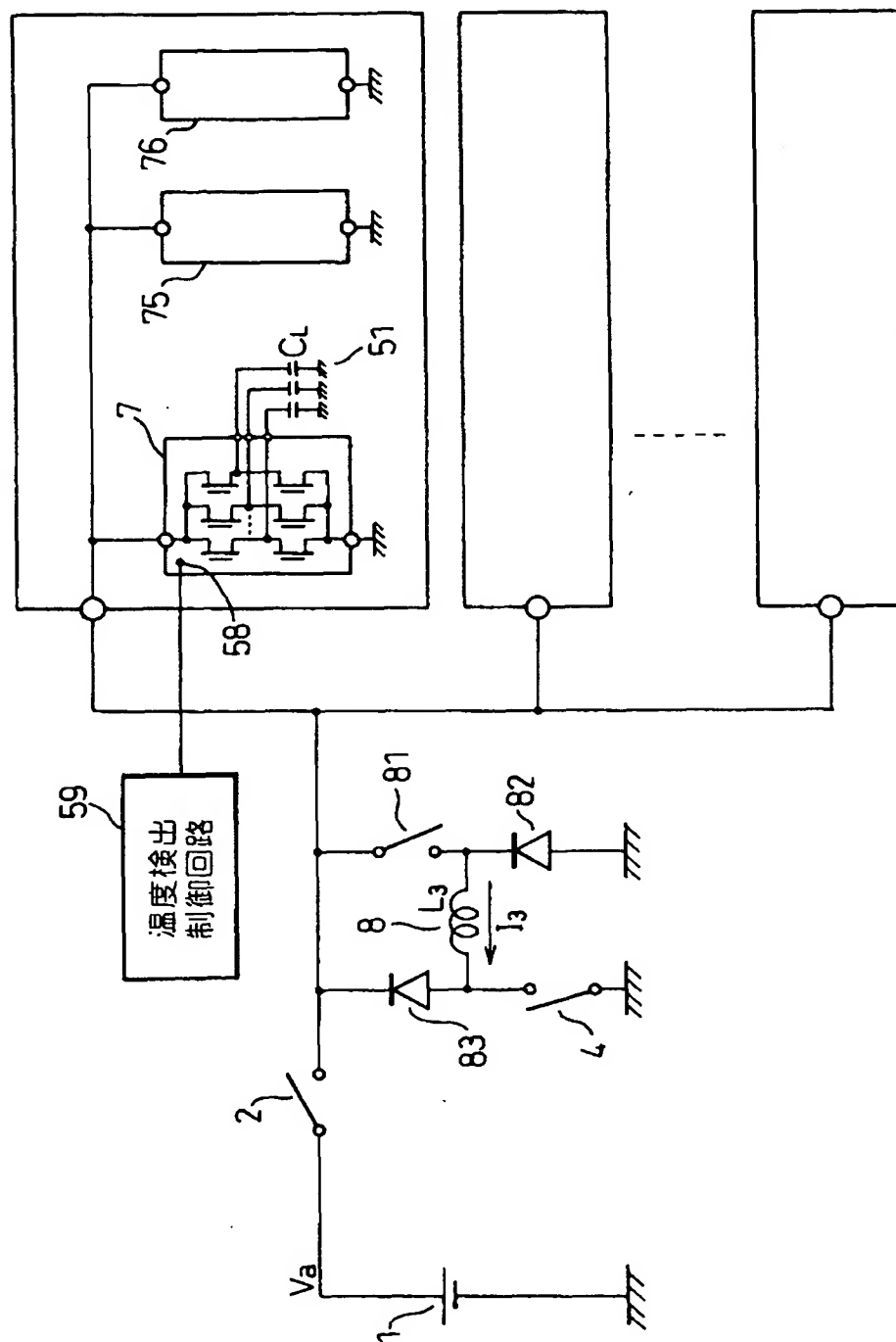
図20



【図 21】

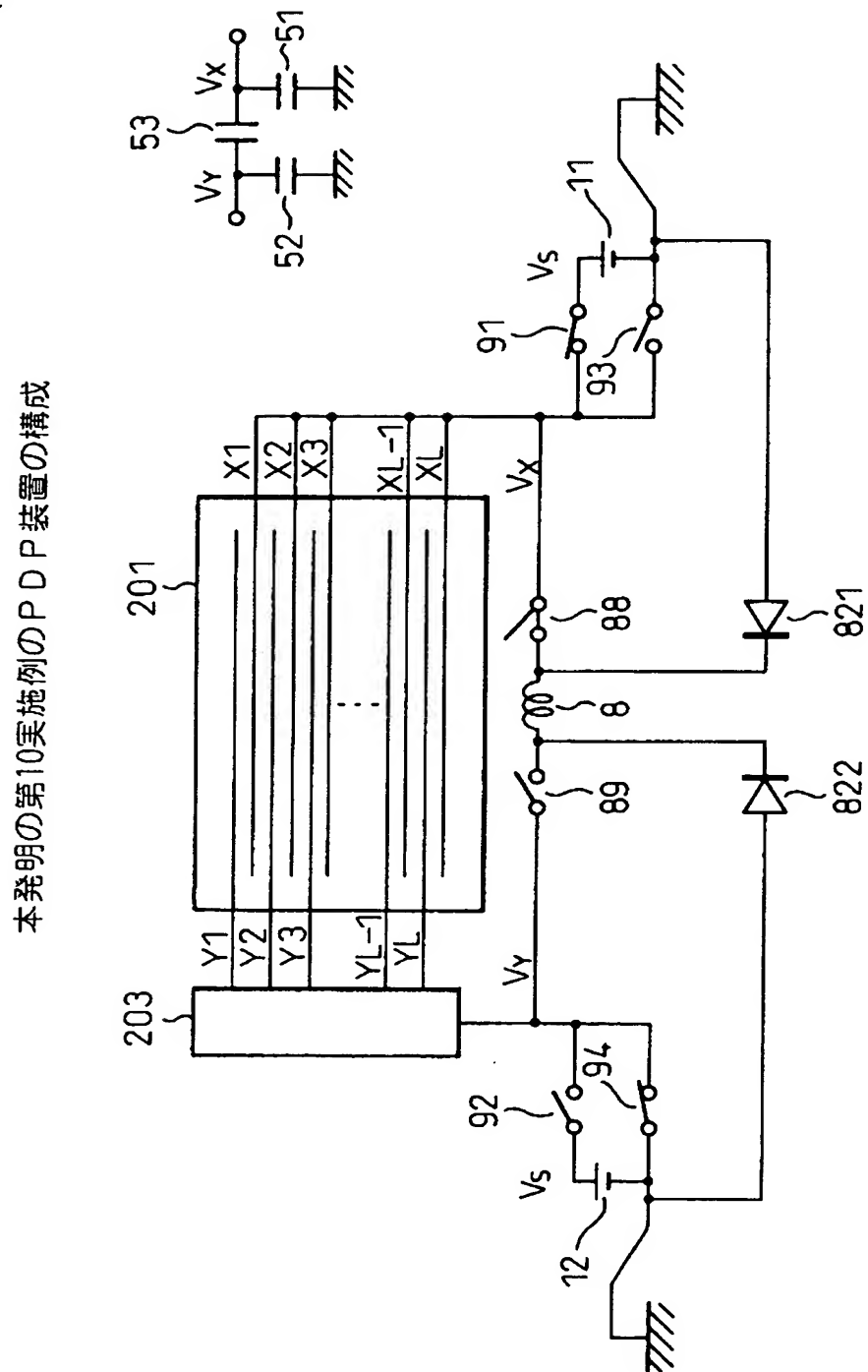
図21

本発明の第9実施例のアドレスドライバ電源の構成



【圖 22】

图 22

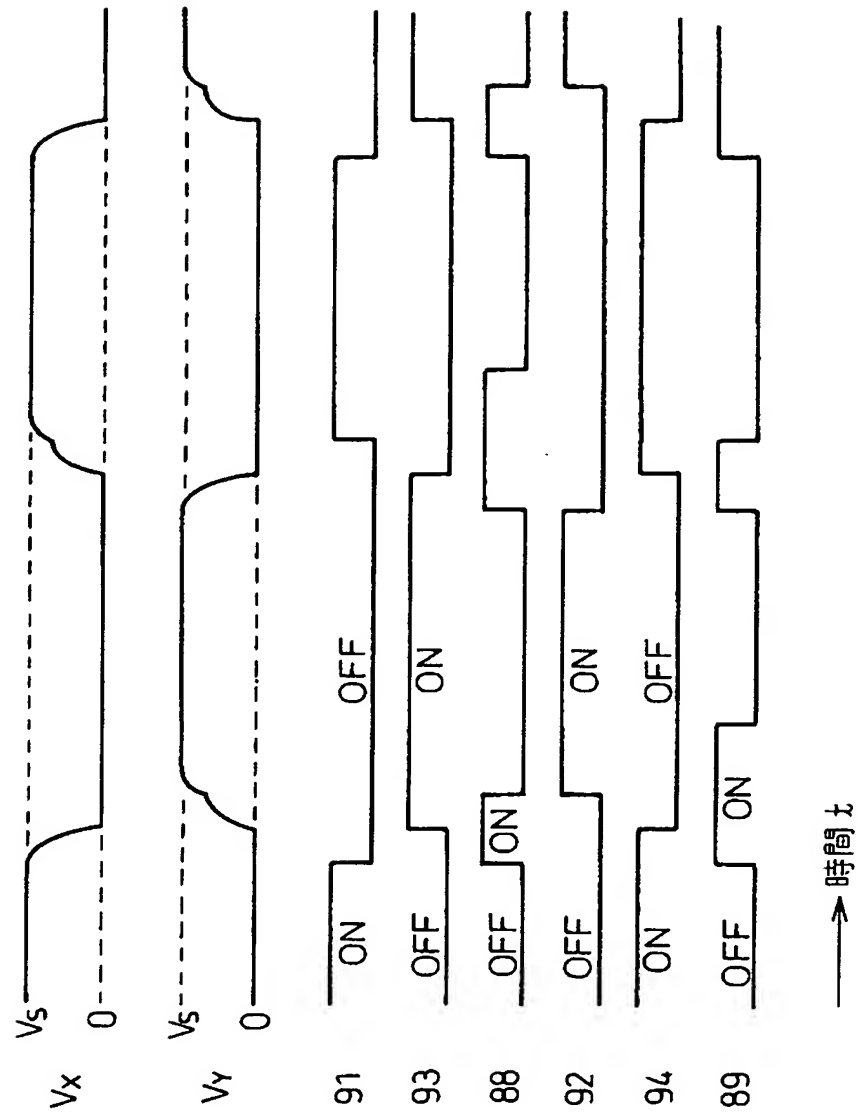




【図 2 3】

図 23

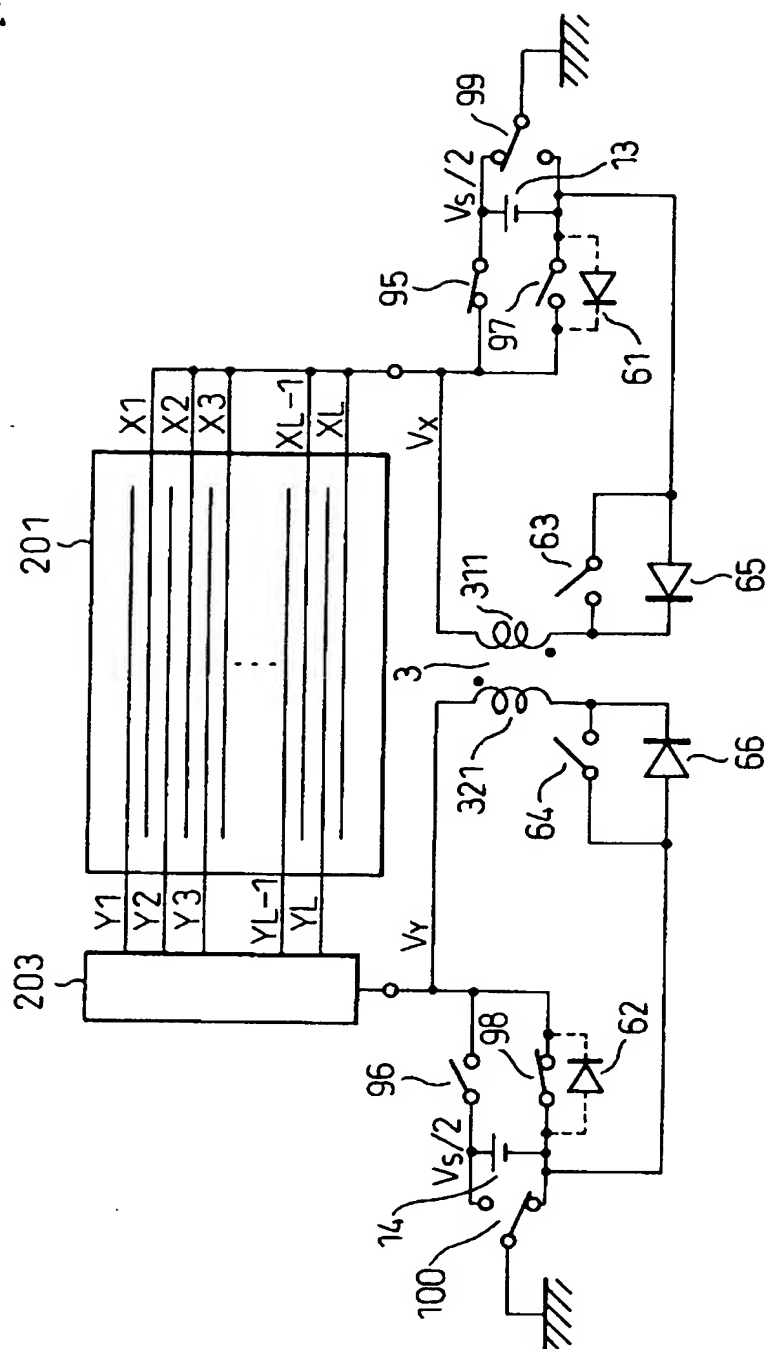
第10実施例の動作



【図 2 4】

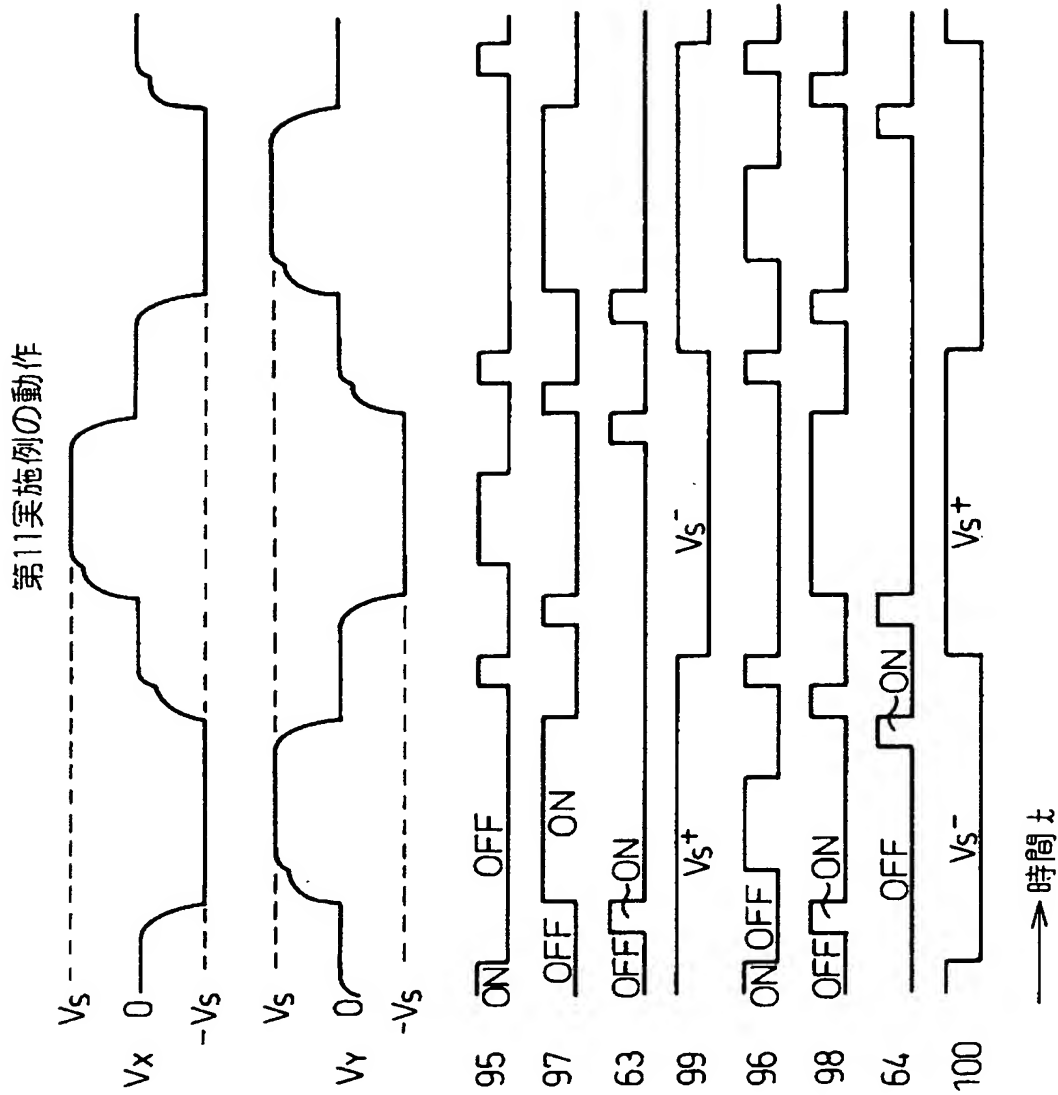
図 24

本発明の第11実施例のPDP装置の構成



【図 2 5】

図 25



【書類名】 要約書

【要約】

【課題】 高周波数の駆動にも適用可能な容量性負荷駆動回路の実現。

【解決手段】 容量性負荷5に接続される出力端子と第1の基準電位の間に接続された1次コイル31と、出力端子と第2の基準電位の間に接続された2次コイル32とを有するトランス3と、1次コイル31と直列に接続された第1のスイッチ回路4と、2次コイル32と直列に接続された第2のスイッチ回路7と、出力端子と駆動電源の間に接続された電源スイッチ回路2とを備える。

【選択図】 図8

出 願 人 履 歴 情 報

識別番号 [ 5 9 9 1 3 2 7 0 8 ]

1. 変更年月日 1 9 9 9 年 9 月 1 7 日

[変更理由] 新規登録

住 所 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号

氏 名 富士通日立プラズマディスプレイ株式会社